socionext™
for better quality of experience

カスタムSoC(ASIC)

Custom SoC

ソシオネクストは、システムLSIのソリューション

当社は、コンシューマ、インダストリアル、オートモーティブ分野向けに、システムLSIを核としたソリューションを提供しています。
お客様の独自仕様でシステムLSIを開発される商品を、「カスタムSoC」という商品名で展開しています。「カスタムSoC」の開発は、当社のシステムLSI資産をベースにするものから、フルカスタムまで柔軟に対応し、お客様が求められる、高性能、省電力、小型化などのご要求にお応えします。

で、お客様の商品価値の向上に貢献いたします。

CONTENTS

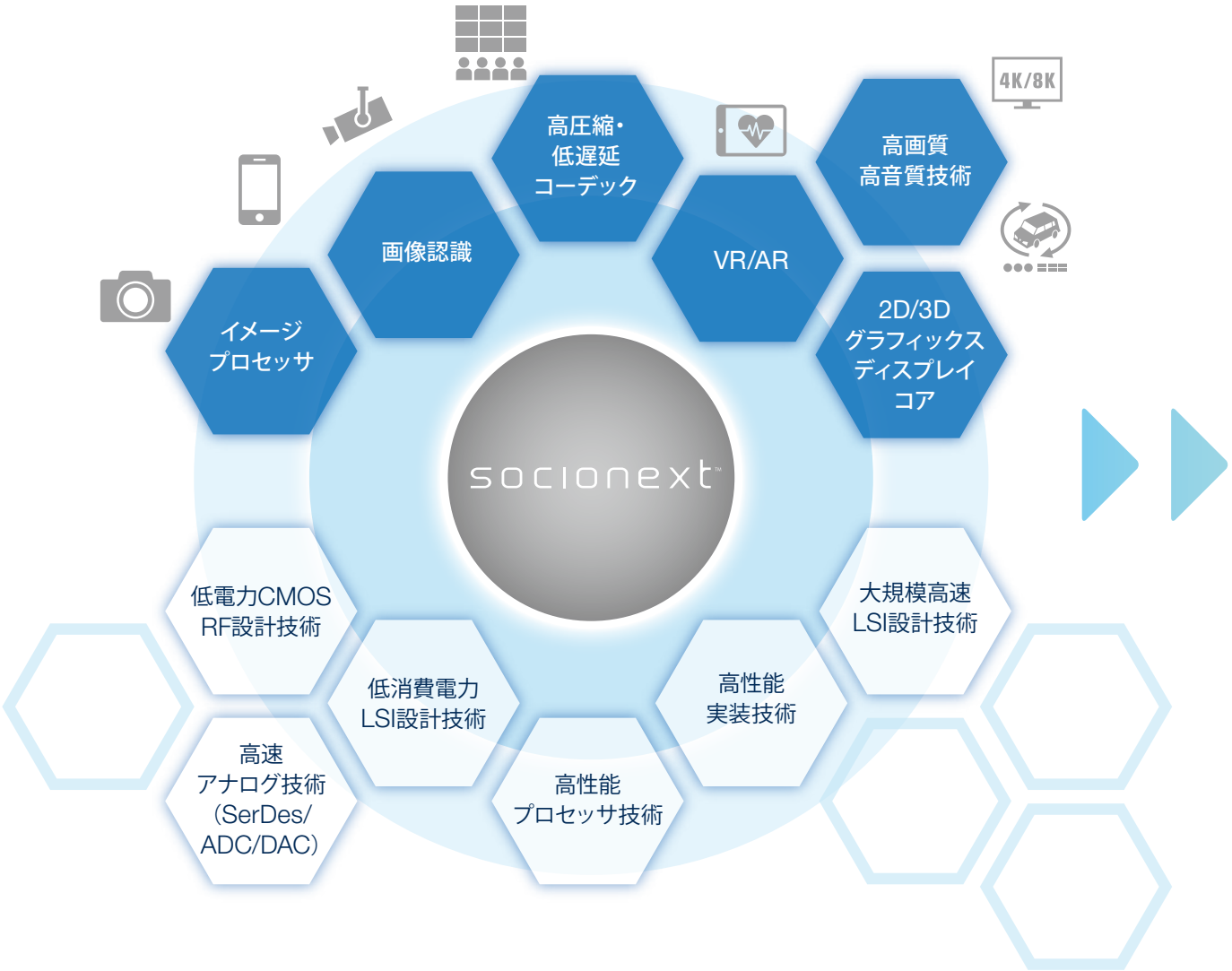
1 カスタムSoCソリューション …… 1
2 開発支援サービス（DesignExpress®） …… 8
3 サブシステムの提供サービス …… 16
4 IPマクロの提供サービス …… 25
5 デザイン技術 …… 32
6 製造テクノロジー・パッケージ …… 39

カスタムSoCソリューション

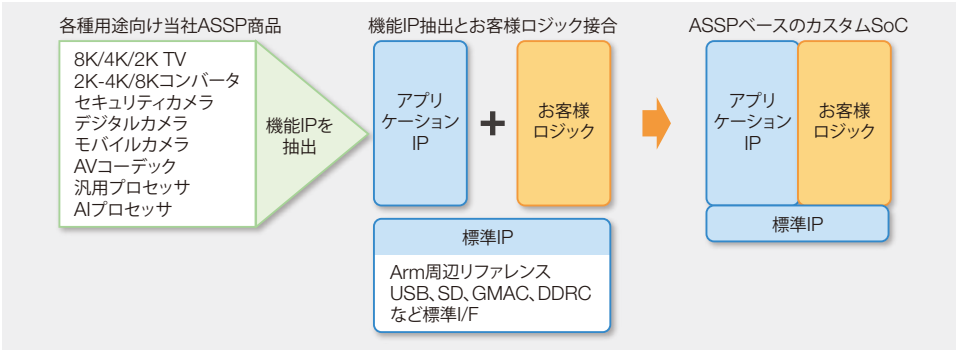
まだない価値を実現できるシステムLSIソリューション

カスタムSoCは、機能部品の集約により小型化、低消費電力化、コストダウンを可能とし、まだ市販されていない価値(機能)を組込むことで、お客様商品の差異化を図ることができます。
当社は、豊富なIPとサブシステムを所有し、開発支援するデザインサービス、先端SoC設計技術を駆使し、お客様の要求仕様に最適化することで、高品質かつ最適化されたカスタムSoCを提供いたします。

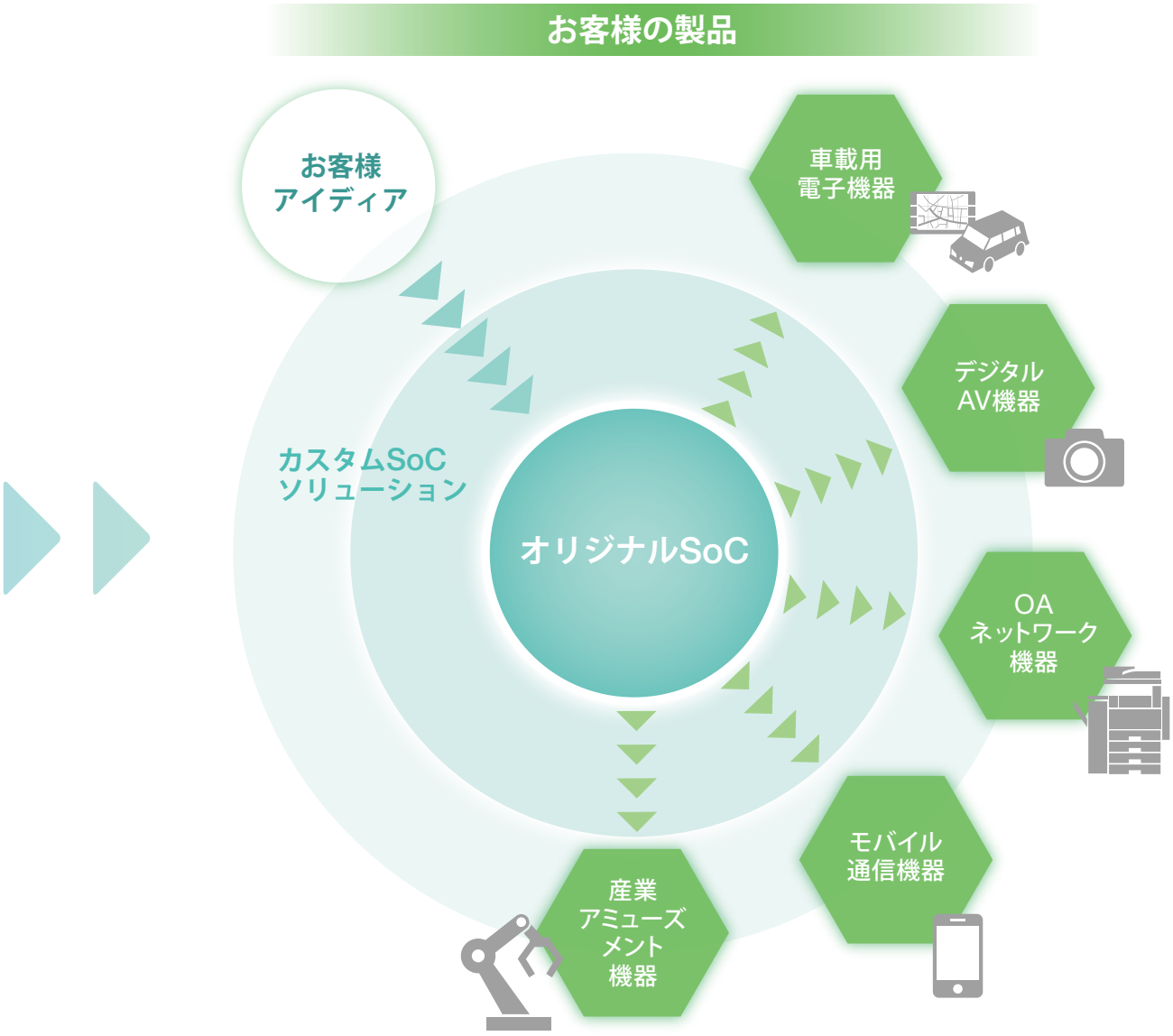
ソシオネクストのASSP商品・コア技術



既存の製品をベースに開発するソリューション



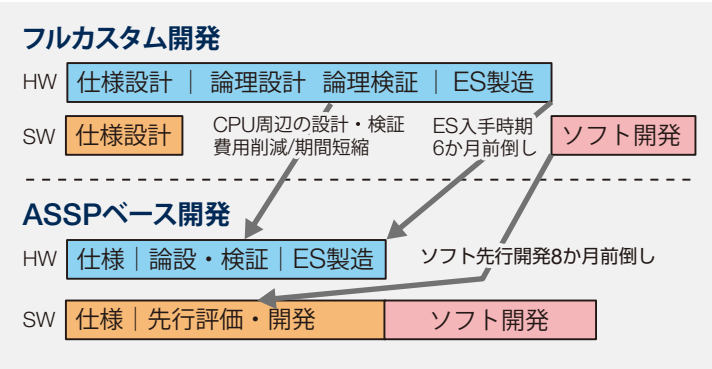
市場で実績のあるASSPをベースにしたカスタムSoCの開発は、CPU周りの設計やサブシステムの設計が容易になるだけではなく、関連するソフトウェアもすでに用意されているため、開発や評価が容易になることもメリットと言えます。



ASSPベース開発のベネフィット

当社ASSP製品をベースに開発を採用したケースでは、SoC開発にかかるハードウェア設計期間の短縮とソフトウェアの先行開発により、従来設計手法に比べ6か月早く製品化を実現させます。

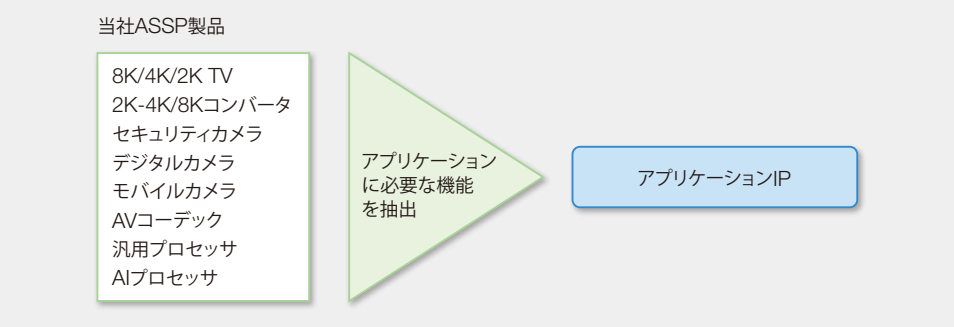
・サンプルSoC入手時期：6か月前倒し
・ソフト先行開発　　：8か月前倒し
・製品出荷時期　　：6か月前倒し



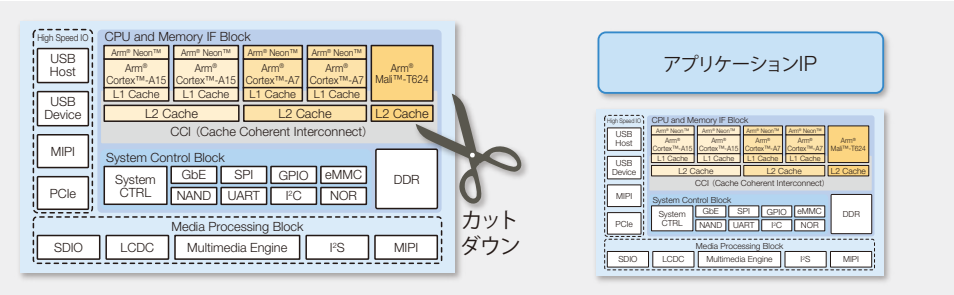
ASSPベース開発の例

開発手法の例として、ASSPベースの開発手法を紹介します。

① ASSPより必要な機能IPを抽出
　お客様の開発される製品に必要な機能を、ASSPからアプリケーションIPとして切り出します。

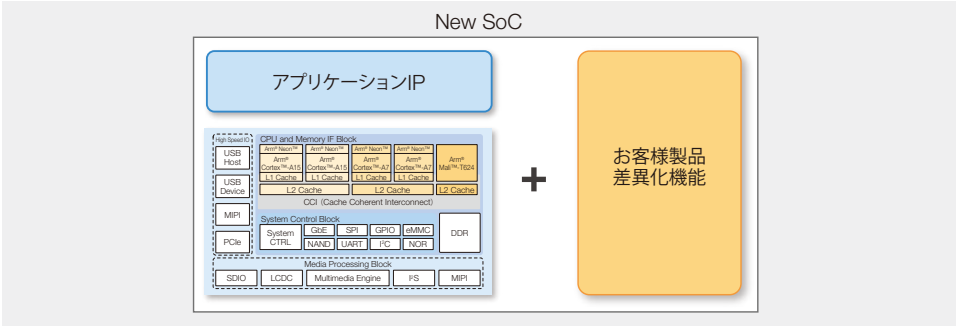


② ベースプラットフォームとアプリケーションIPを接続
　ベースプラットフォームから不要なIPやI/Fをカットダウンし、アプリケーションIPと接続します。



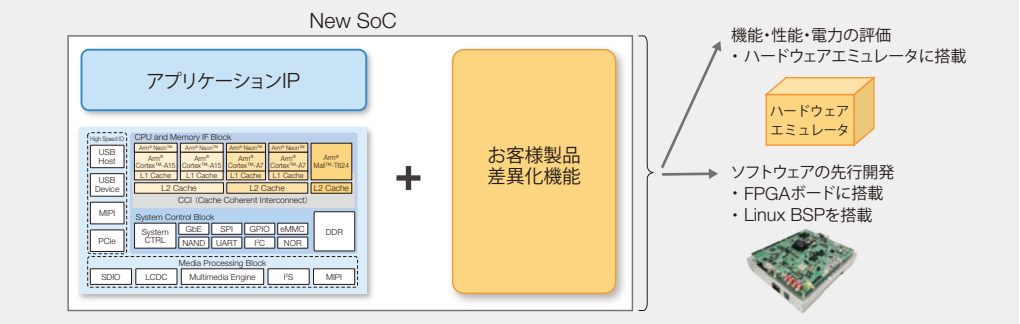
③ お客様製品の差異化機能を付加

お客様の製品の特長となる差異化回路を付加します。これで、新しいSoCが構成されました。



④ 機能・性能・電力　評価・検証

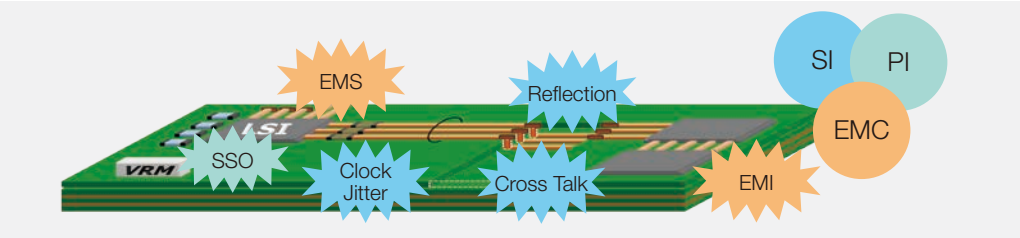
機能・性能・電力の評価は、専用のハードウェアエミュレータを用い、HDLシミュレータの約1,000倍の速度で機能評価・検証を行います。また、ソフトウェアの開発環境は、FPGAボードとCPUボードなどのプロトタイプ環境を提供します。これによりお客様は、SoCの製造前にソフトウェアの先行開発が可能となります。



⑤ プリント板（PCB）協調設計

PCBに実装される高速部品（DDR、PCIe、USBなど）とSoC間の接続で、電磁ノイズ、クロストーク、クロックジッターなどの問題が起こりやすくなります。当社では、PCBのプロトタイプを作成し解析を行い、対策案を提案します。

これにより、PCBのリメイクリスクを低減させ、PCBの設計、製造コストを削減することが可能となります。

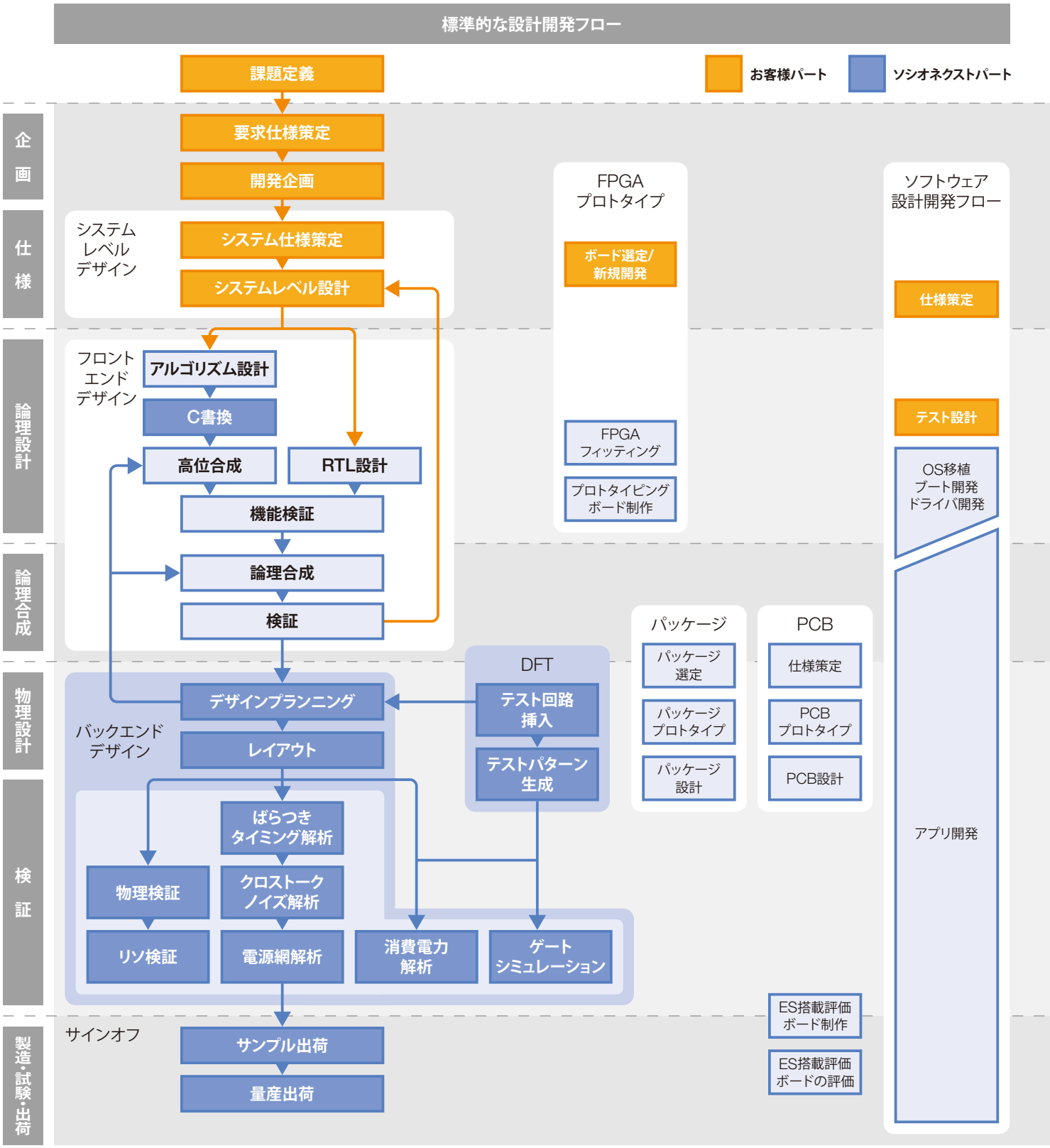


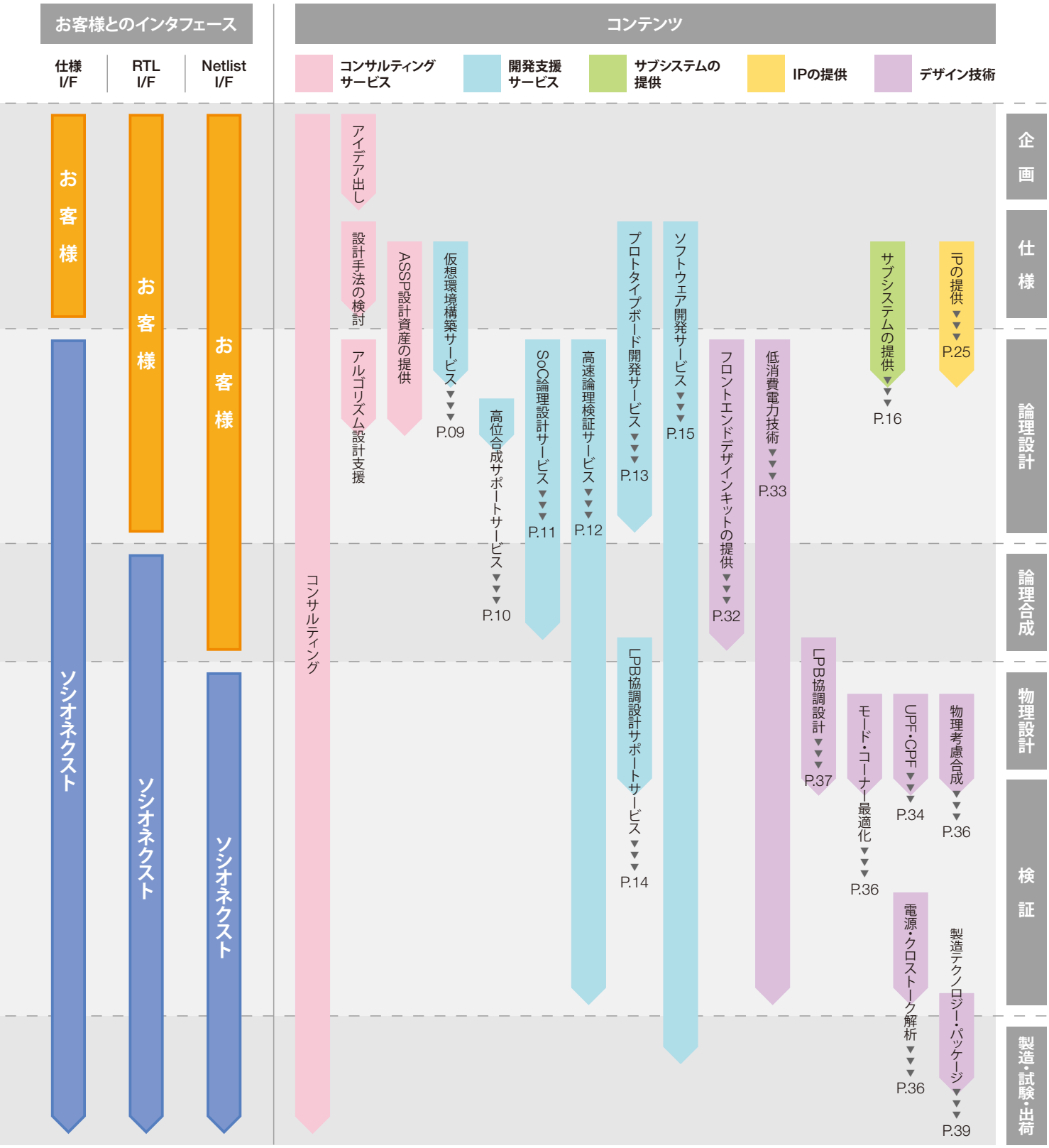
フルカスタム開発

お客様のシステムに最適なSoCを自由に設計していただく方式です。複雑化するSoC開発において、システム構成の提案、サブシステムや各種IPの提供、CPU周辺の最適化設計、ハードウェアエミュレータやFPGAプロトタイプによるシステム検証支援を行い、お客様のカスタムSoC開発を支援します。また、ソフトウェア開発の支援として、デバイスドライバの受託開発サービスも提供します。

カスタムSoCソリューションマップ 一覧

ソシオネクストでは、下記の設計フローをベースに、開発するSoCの特長に応じて最適化したフローを適用しています。

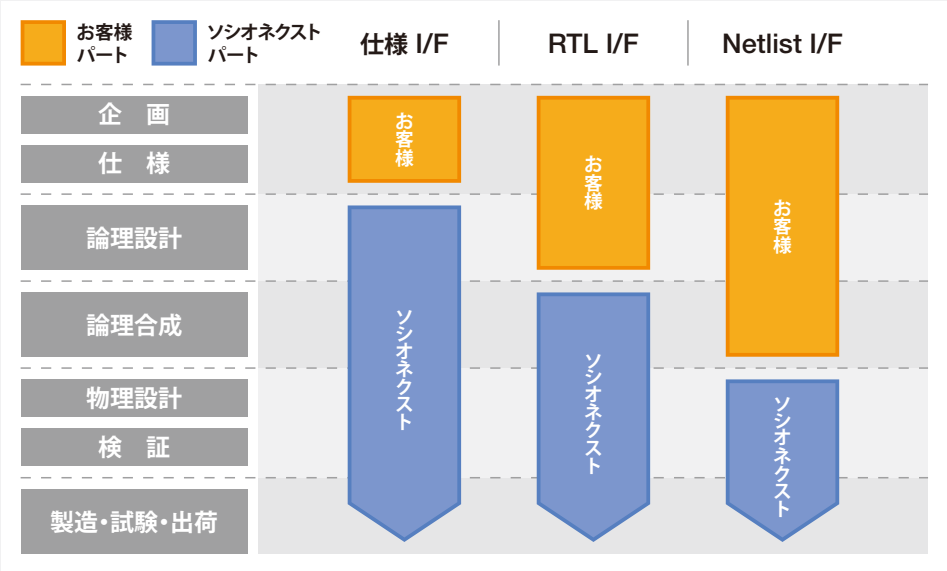



お客様とのインタフェース
仕様 I/F
RTL I/F
Netlist I/F
お客様
お客様
お客様
ソシオネクスト
ソシオネクスト
ソシオネクスト
コンテンツ
コンサルティングサービス
開発支援サービス
サブシステムの提供
IPの提供
デザイン技術
企画
仕様
論理設計
論理合成
物理設計
検証
製造・試験・出荷
コンサルティング
アイデア出し
設計手法の検討
アルゴリズム設計支援
ASSP設計資産の提供
仮想環境構築サービス ▼▼ P.09
高位合成サポートサービス ▼▼ P.10
SoC論理設計サービス ▼▼ P.11
高速論理検証サービス ▼▼ P.12
プロトタイプボード開発サービス ▼▼ P.13
LPB協調設計サポートサービス ▼▼ P.14
ソフトウェア開発サービス ▼▼ P.15
フロントエンドデザインキットの提供 ▼▼ P.32
低消費電力技術 ▼▼ P.33
LPB協調設計 ▼▼ P.37
サブシステムの提供 ▼▼ P.16
IPの提供 ▼▼ P.25
モード・コーナー最適化 ▼▼ P.36
UPF・CPF ▼▼ P.34
物理考慮合成 ▼▼ P.36
電源・クロストーク解析 ▼▼ P.36
製造テクノロジー・パッケージ ▼▼ P.39

ユーザインタフェース

ソシオネクストは下記の3種類を基本とする開発インタフェースを提供しています。
お客様の設計資産と当社の設計技術・資産の最適な融合により、SoC開発プロジェクトの効率向上を実現します。
また、上流検証やFPGAプロトタイピングを組み込んだデザインフローも提供しており、プロジェクトのさらなる高品質化と開発期間短縮を支援します。

3種類の開発インタフェース



・仕様インタフェース
仕様インタフェースは、SoCの設計仕様でインタフェースする方法です。お客様には、開発されるSoCの設計仕様書を作成していただきます。当社は、その仕様を元にSoC開発仕様書を作成し、論理設計・検証を行いSoC納品まで担当します。

・RTLインタフェース
RTLインタフェースは、お客様が機能設計された設計データ（RTL）でインタフェースする方法です。お客様には、RTLの機能設計・検証まで対応していただきます。当社は、テスト仕様の検討、テスト回路の作り込みからSoC納品まで担当します。

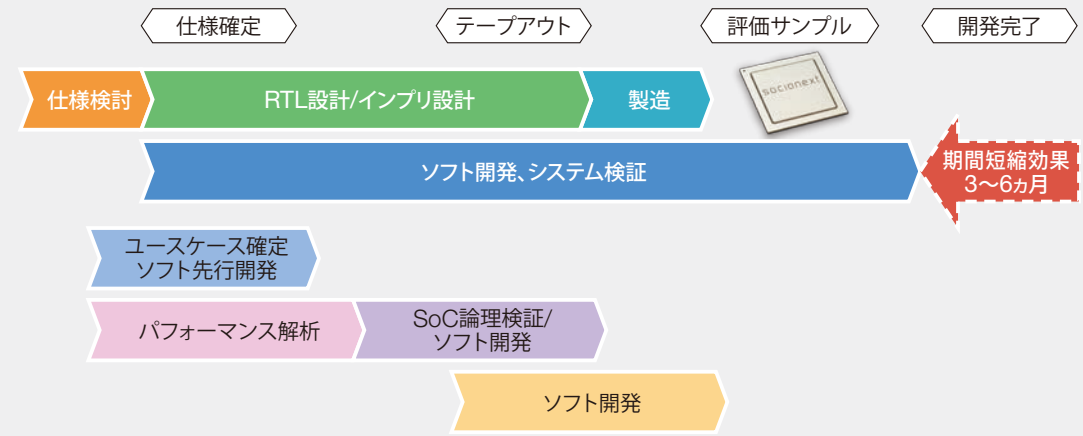
・Netlistインタフェース
Netlistインタフェースは、当社のセルで構成されたネットリストでインタフェースする方法です。お客様側には、ネットリスト化のための論理合成まで実施していただきます。当社は、レイアウトからSoC納品まで担当します。

開発支援サービス(DesignExpress®)

開発支援サービス(DesignExpress®)

お客様のカスタムSoC開発のあらゆる場面を支援する、仕様検討からシステム評価およびPCB設計までの一貫した開発支援を行うデザインサービスです。このサービスをご利用いただくことで、お客様は、製品開発に注力することができるため、開発期間の短縮・リメイクリスクの低減・製品品質向上・低消費電力化が実現できます。

カスタムSoC開発スケジュール例



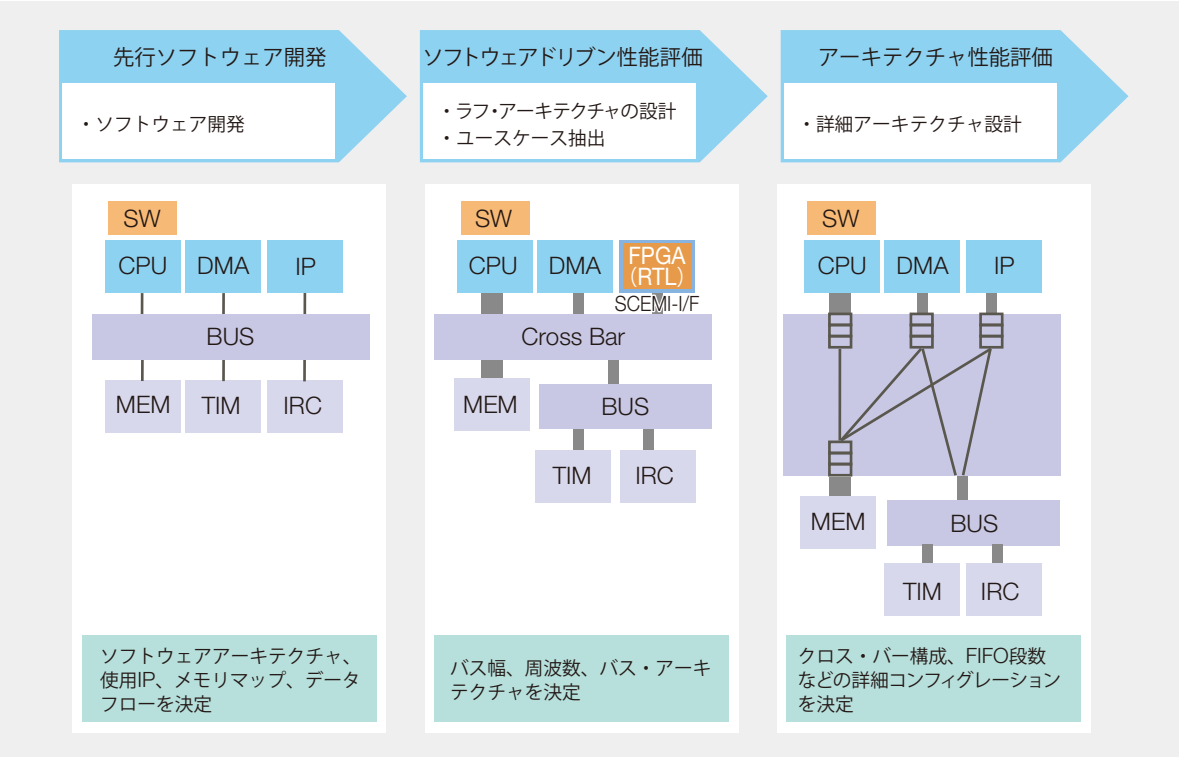
開発ステージとデザインサービス

開発ステージ	ユースケース確定 ソフト先行開発	パフォーマンス解析	SoC論理検証/ ソフト開発 (～4MHz)	ソフト開発 (～50MHz)
デザインサービス	仮想環境構築	SoC論理設計	高速論理検証	プロトタイプ開発

仮想環境構築サービス(Cedar®-ESL)

仮想環境構築サービスは、SoCの仕様やそのアーキテクチャを検討する際に、以下の4つのメニューから必要なサービスを選んでご利用いただけます。

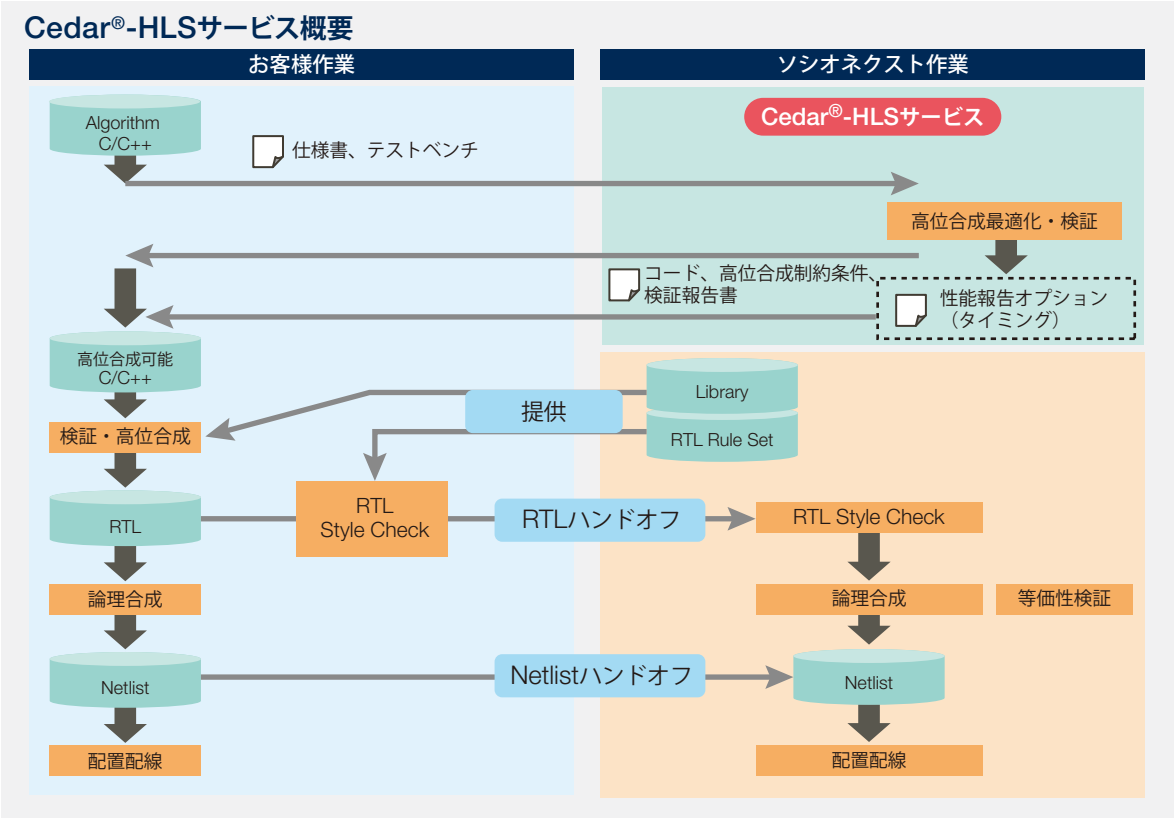
- 実現性検討用仮想環境構築サービス
- バスアーキテクチャ詳細性能測定環境＋性能評価
- 先行ソフトウェア開発環境
- ソフトウェアドリブン性能評価環境



サービス分類	サービス内容	お客様からの提出物	当社提供物（例）
先行ソフトウェア開発向け 開発環境の提供	ソフトウェア開発向け 仮想プラットフォーム提供	ブロック図 ブロック機能仕様	高速仮想プラットフォーム提供 （ソフトウェア開発用）
ソフトウェアドリブン性能評価向けの環境提供	ソフトウェアドリブン性能評価向け仮想プラットフォーム提供	ブロック図 ブロック機能仕様 ソフトウェアシナリオ	高速仮想プラットフォーム提供 （アーキテクチャ設計用）
アーキテクチャ詳細性能評価向けの環境提供	アーキテクチャ性能評価向け 仮想プラットフォーム提供 性能測定	アーキテクチャ構成図 評価シナリオ	高精度仮想プラットフォーム提供 性能測定報告書

高位合成サポートサービス(Cedar®-HLS)

高位合成サポートサービスは、お客様が上流言語（SystemC/C/C++）でコーディングしたソースコードを、適用するプロセス・テクノロジーに適合するようにチューニングを施すなどを目的とした、ソースコードの書き換えと、それらと合成可能なライブラリを提供するものです。
高位合成の結果と、適用するプロセス・テクノロジーとの整合性を確認した上で、お客様には書き換え済みのソースコードなどを提供いたします。

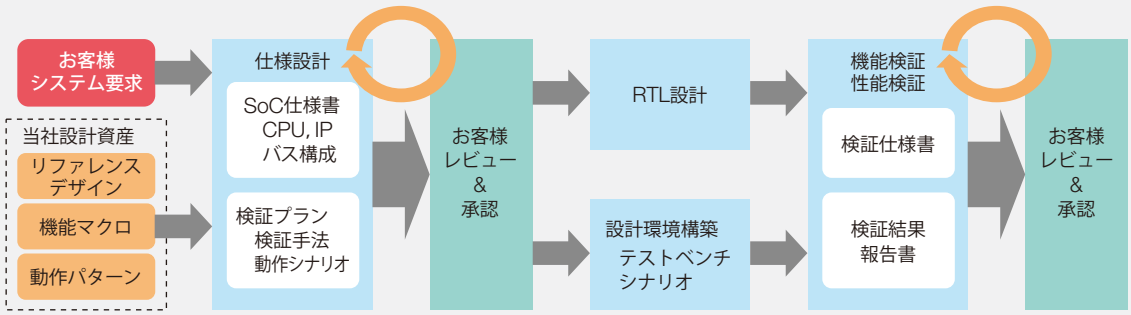


サービス分類	サービス内容	お客様からの提出物	当社提供物（例）
高位合成済みの RTLハンドオフ	ツールに合致する言語書換 制約に合致する言語書換	機能仕様書 制約条件 上流言語	書換済の上流言語 高位合成用ライブラリ 高位合成済みのRTL

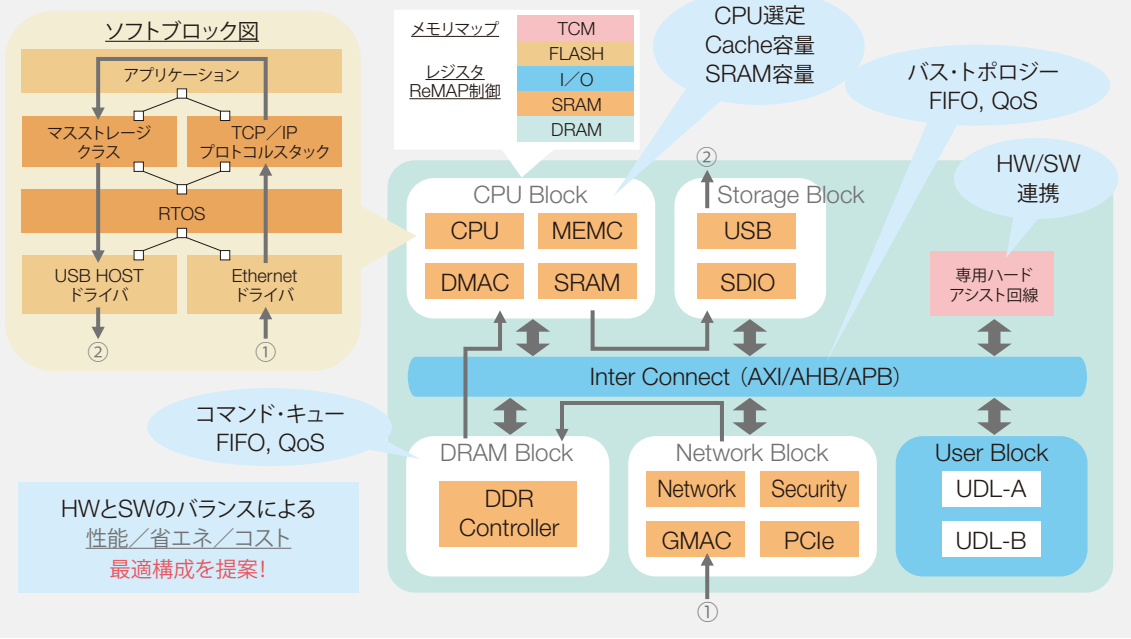
SoC 論理設計サービス

SoC論理設計サービスは、ソシオネクストがお客様に代わって論理設計を行うサービスです。
SoCの全体の設計はもちろん、部分的な設計も可能です。当社が扱うさまざまな機能マクロを組み合わせて、お客様のシステムに最適な設計データを提供します。なお、設計データには、機能仕様書、RTL、検証報告書が含まれます。

SoC論理設計概要



SoC論理設計サービス適用事例

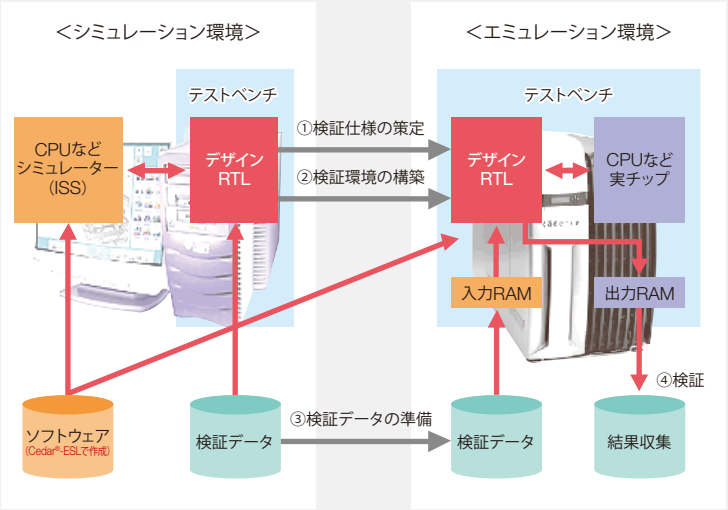


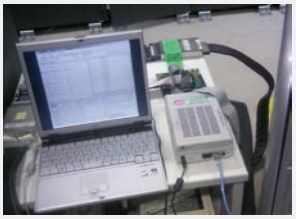
サービス分類	サービス内容	お客様からの提出物	当社提供物（例）
SoC論理設計	仕様設計	要求仕様書 搭載マクロ ユースケース 機能・性能要求	SoC仕様書
	RTL設計		RTL
	RTL検証		検証仕様書、結果報告書

高速論理検証サービス（Cedar®-EMU）

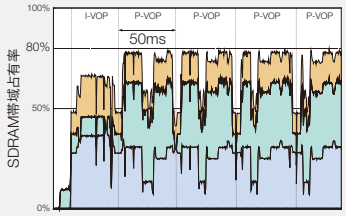
高速論理検証サービスは、ハードウェアエミュレータなどを活用した高速論理検証とSoCの消費電力を算出するサービスです。開発するシステムの回路をエミュレータなどにマッピングして、その回路のプロトタイプを実現します。また、開発するシステムの消費電力も算出することができます。エミュレータの動作は、ソフトウェアシミュレータに比べ、500～1,000倍も高速なため、検証時間を大幅に削減することが可能です。

Cedar®-EMU サービス概要

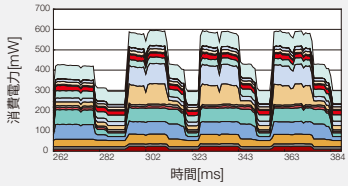




ICEによるソフトウェアデバッグ



バスモニタによる性能解析

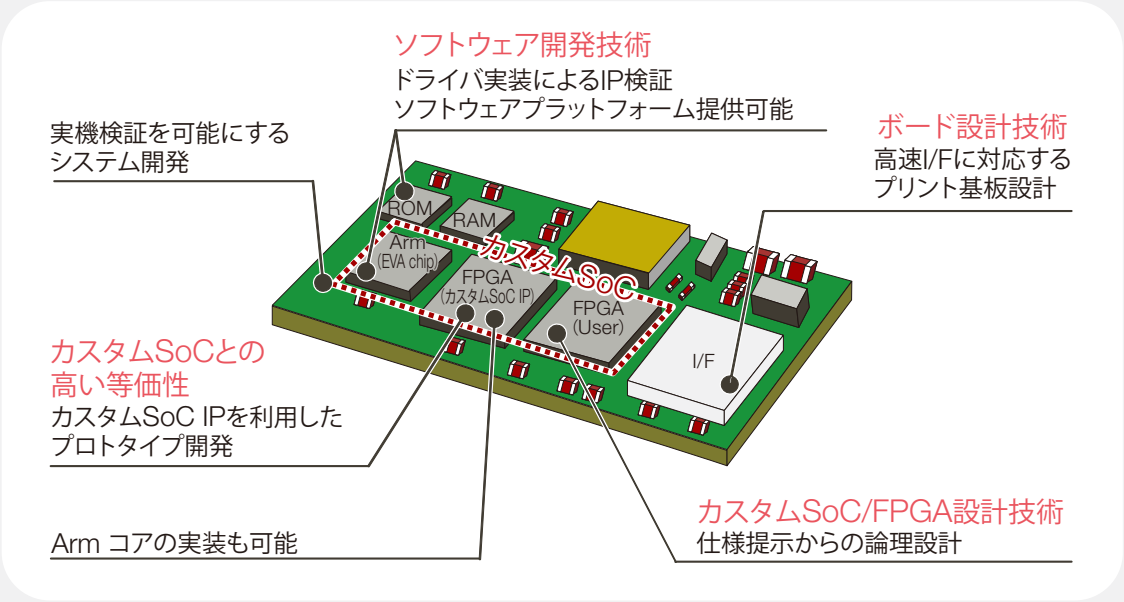


消費電力解析

サービス分類	サービス内容	お客様からの提出物	当社提供物（例）
チップレベル検証	検証仕様の策定 検証データの作成 検証環境の構築 検証の運用	概略ブロック図 デザインデータ （RTL or ネットリスト） 入力/期待値データ	検証仕様書 検証データ エミュレーション検証結果
システムレベル検証	ESL環境で開発したソフトウェアを活用したシステムレベル検証	デザインデータ （RTL or ネットリスト） 入力/期待値データ テストプログラム	エミュレーション検証環境 検証結果報告書
低消費電力化	消費電力測定	電力測定プログラム	消費電力測定結果報告書

プロトタイプボード開発サービス（Cedar®-PROT）

プロトタイプボード開発サービスは、システムレベル検証およびソフトウェア先行開発のためのプロトタイプボードを提供します。システムに搭載するIPと等価なIPをFPGAに実装することで、ターゲットシステムと等価なボードを提供します。
SoCが完成する前に、システムレベル検証やソフトウェア先行開発を行えることで、SoCの品質向上と開発期間を短縮することが可能です。



Cedar®-PROT適用実績

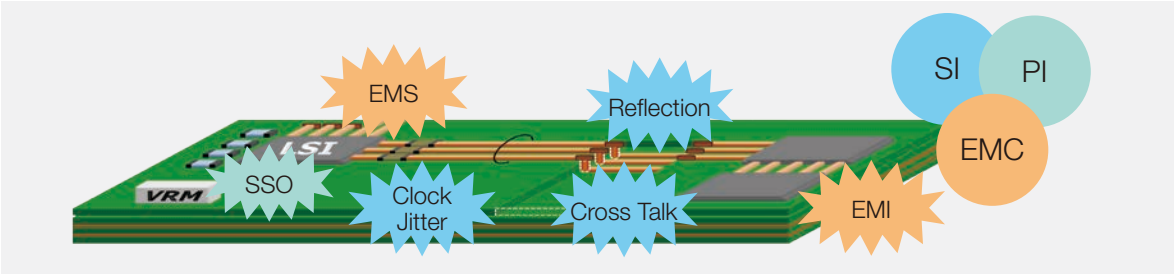
- ネットワーク用コントローラカスタムSoC
- 測定機器用カスタムSoC
- ドキュメント向け画像処理カスタムSoC
- その他多数

セミカスタムボード
FPGAプロトタイプボード

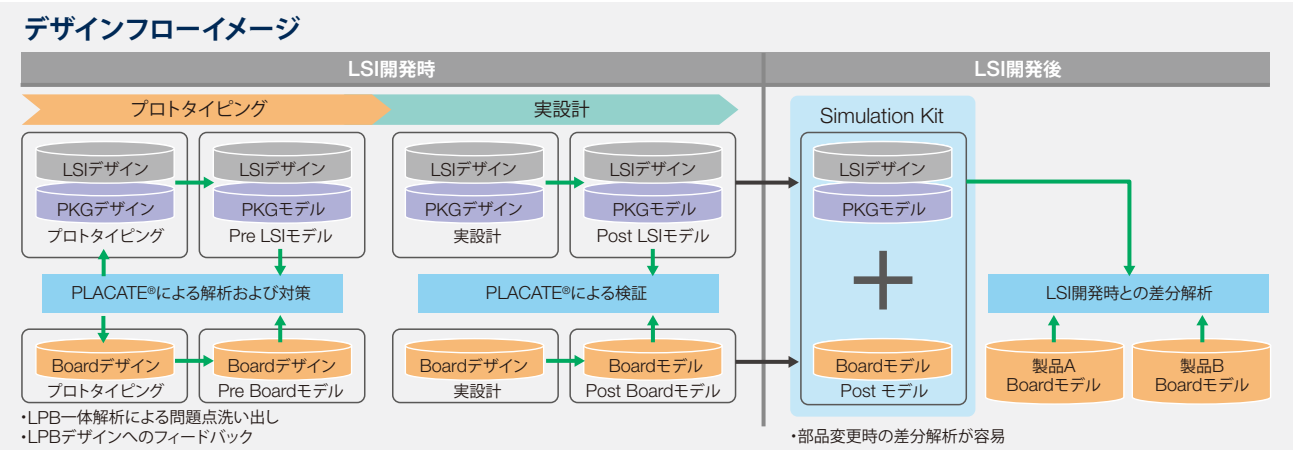
サービス分類	サービス内容	お客様からの提出物	当社提供物（例）
システムレベル検証	プロトタイプボードの提供	要求仕様（指定回路情報など）	基板ユニット ボード仕様書 FPGA ROMデータ

LPB協調設計サポートサービス(PLACATE®)

LPB協調設計サポートサービスは、お客様のシステム開発期間短縮や部品点数削減によるコストダウンを強力にサポートするLSIとBoard一体モデルをベースとしたノイズ解析＆対策支援サービスです。
本サービスをLSI設計/Board設計の上流段階から適用することで、LSIやBoardのリメイクを低減し、お客様システムの品質向上と評価工数の大幅な削減による設計期間の短縮に貢献します。

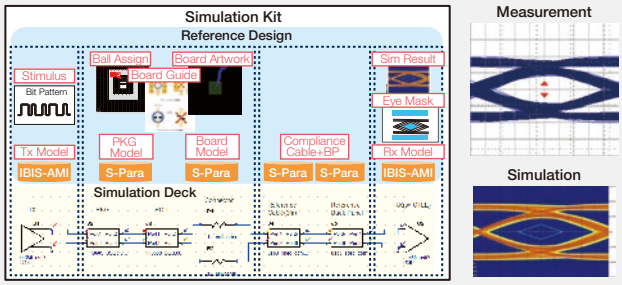


デザインフローイメージ

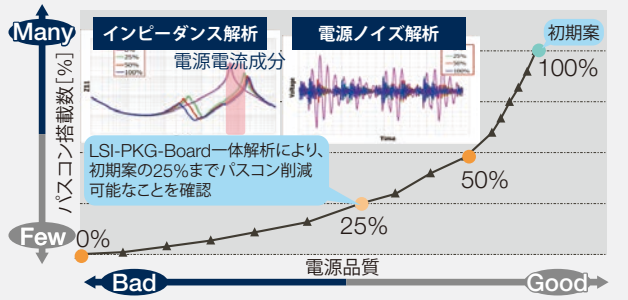


PLACATE® サービス内容	提供物（例）
1. LPB デザインソリューション 2. Core PI ソリューション 3. Advanced PI ソリューション 4. EMC デザインソリューション 5. DDRx ソリューション 6. SerDes ソリューション 7. LVCMOS ソリューション 8. Board DRC ソリューション	1. リファレンスデザイン 2. DCDCコンバータ、LPB一体解析結果報告書 3. 電源まとめによる部品削減 4. EMC解析結果報告書 5. DDRx解析報告書/Simulation Kit 6. SerDes解析報告書/Simulation Kit 7. LVCMOS解析報告書/IBIS Model 8. ソシオネクスト独自のDRC ルールデータベース

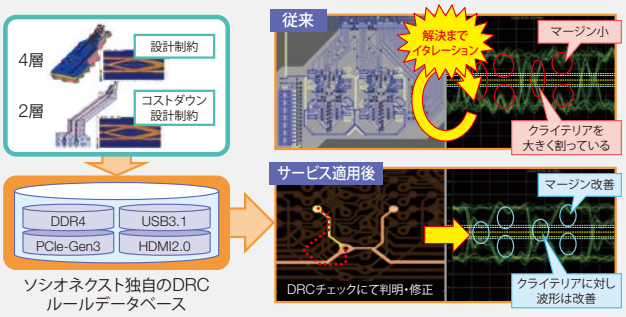
Simulation Kitの構成



Advanced PI ソリューション 事例

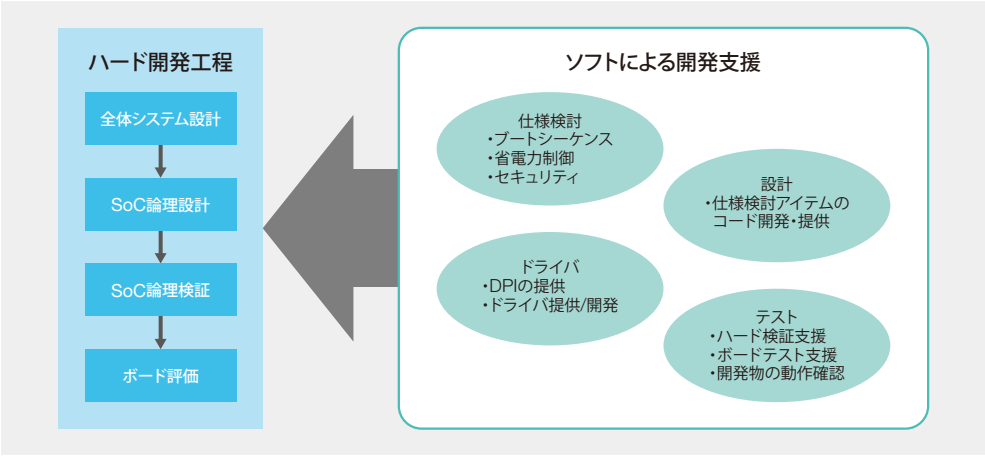


Board DRC ソリューション 事例



ソフトウェア開発サービス

ハードウェアの仕様検討段階では、システムの起動シーケンスや省電力の実装など、SoCの基盤をなす部分の仕様検討が重要になります。仕様決定後は、これらの動作をソフトウェアで実装し、論理検証や評価ボードなどの各フェーズで動作確認をする必要があり、当社では、ブートシーケンスからミドルウエアまでの開発支援サービスを行っております。また、各種OSの搭載、デバイスドライバの提供/開発の受託を通して、お客様のシステム開発支援をさせていただいています。

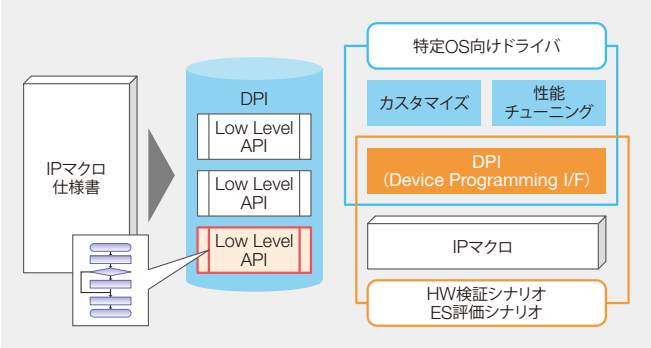


[ソフトウェア開発サービス]

●DPI (Device Programming Interface)

IPマクロの初期化や動作開始、停止処理などの基本機能をプログラムコードで提供します。

- IP動作の早期確認 (ハードウェア検証シナリオへ適用)
- 短期間でのデバイスドライバ開発
  (仕様書理解補助、API活用)
- 迅速なES評価 (IP疎通確認、解析) などの
  さまざまな開発フェーズでの利用が可能です。



●サブシステム向けミドルウェア

サブシステム向けのミドルウエアは、ご要求仕様に合わせたカスタマイズが可能です。詳細はサブシステムの章をご参照ください。

●Linux / RTOSサポート

各種OSの搭載、デバイスドライバ提供/開発が可能です。

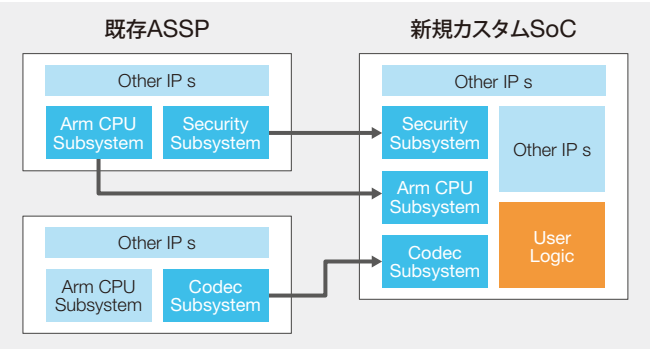
開発支援サービスの例

分類	サービス内容
ブート	・ブートシーケンス仕様検討支援 ・ブートコード設計 ・メインシステム起床コード設計 ・セキュアブート開発支援 　・セキュアブートシーケンス提案 　・セキュアブート実装 　・セキュアブート動作確認サポート
IP ドライバ	・ソシオネクスト製IPのDPI 提供
Linuxサポート	・OS移植サポート ・提供ドライバの動作確認サポート
RTOS サポート	・OS移植サポート ・提供ドライバの動作確認サポート
省電力	・省電力コード設計 ・ネットワーク待機応答コード提供と組み込み

サブシステムの提供サービス

サブシステムの提供

各種IPを組み合わせ、特定の機能を持つサブシステムを提供しています。このサブシステムを組み込むことで、特定機能の高性能化、低電力化を実現します。



イメージシグナルプロセッサ サブシステム

●背景と取組み

絶えず進化し続けるカメラソリューションに対して他社との差異化を出し続けることは非常に難しい状況です。そのため、当社は2017年に「Milbeaut®（ミルビュー）」の画像マクロをIP化し、高精細、高性能なサブシステムの提供を開始しております。さらに次世代に向け、これまでのメインターゲットであったハイグレードカメラから多種多様なアプリケーションへ最適化をかけたIPをラインアップしております。

●概要

画像マクロを機能ブロック毎にIP化することでフレキシブルなプラットフォーム構築が可能です。各IPはAXIインターフェースのためSoCを容易にインテグレーションすることが可能です。

●特長

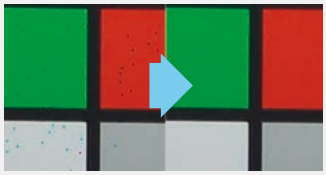
- 高性能 4Kp60 600Mpix/sec (ex TSMC 28nm HPC+)
- 画像マクロを効果的に使用できるAPIを提供します
- 画質に個性を出すために、画像調整シミュレータを提供します

ラインアップ

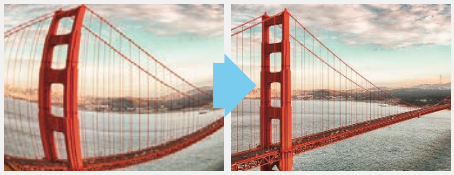
IPブロック	機能	
B2B	ベイヤードメインプロセッシング	ノイズリダクション, リサイズ, 欠陥画素補正, 3A(AE/AWB/AF)検波, シェーディング補正
B2R	デモザイク処理	ホワイトバランスゲイン, 色補間
LTM	ローカルトーンマッピング	ローカルトーンマッピング
R2Y	RGB→YUV変換	色補正, 階調補正, ガンマ補正, 多軸色補正, YUV変換(444/422/420), エッジ強調, 輝度ノイズ除去, リサイズ,Yヒストグラム
CNR	色ノイズ除去	色ノイズ除去, パープルフリンジ補正
3DNR	マルチフレームノイズ除去	複数枚の画像を参照したノイズ除去
HDR	ハイダイナミックレンジ合成	2枚の異露光画像を合成しダイナミックレンジ拡張
LDC	レンズ歪補正	光学的な影響で発生する画像の歪みを補正

低照度 ノイズ除去

欠陥画素補正



レンズ歪補正



Arm® プロセッサコア サブシステム

Armコアとデザインキット

ソシオネクストは、Arm社との包括的なライセンス契約により、お客様のご要望に最適なArmコアを選択することが可能です。マイクロコントローラ・組み込み機器・アプリケーション機器といった幅広い用途のカスタムSoCにおいて、最適なArmコアと設計環境であるSNAP-DK（デザインキット）を提供します。
なお、ラインアップしているArmコアは、当社が提供するすべてのプロセス・テクノロジーでご利用いただくことができます。

Socionext Arm Platform（SNAP）

SNAPを利用することにより、Armコアベース SoC開発の工数削減とリスク低減を実現できます。SNAPは以下で構成されます。

●デザインキット：SNAP DK/ADK/SDK
- SNAP-DK　：Armコアと必要最小限の周辺IPで構成されます。
- SNAP-ADK：SNAP-DKをベースにインタフェース・マクロやGPUなどがすでに実装されたものです。
- SNAP-SDK：要求仕様に基づき、デザインツールを使ってフルカスタムのお客様専用サブシステムを提供します。

お客様の要求仕様から最適なデザインキットを選択することで、開発工数を大幅に削減します。
これらデザインキットには、シミュレーション環境、テストベンチ、サンプルブートコードなどが含まれており、設計環境の立上げ時間の短縮、適切なArmコアブートプログラムの作成に貢献します。

●プロトタイピング：SNAP-PK
- 当社独自の FPGAボードにSNAP-DKを実装。一方のFPGAにユーザロジックをインプリすることで、SoCのプロトタイピングを実現します。
- ハードウェアのシステム動作検証、性能評価およびソフトウェアの早期開発を実現します。

Armコア・GPU・SNAP-DKラインアップ

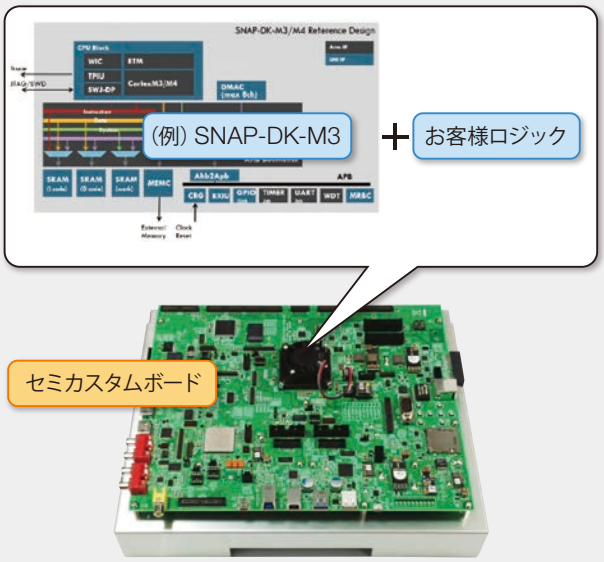
Arm core			
Arm v7	Arm v8	Arm v8	
●Cortex-A	●Cortex-A72	○Cortex-R52	○Cortex-A35
●Cortex-R	●Cortex-A53	○Cortex-M33	○Cortex-A34
●Cortex-M		○Cortex-M23	○Cortex-A32
GPU			
Utgard	Midgard	Bifrost	
		○G52	
		○G31	
SNAP-DK			
●DK-Av7	●DK-A53	○DK-Av8	
●DK-Rv7		○DK-Rv8	
●DK-Mv7		○DK-Mv8	

●available
○planning

SNAP 各種デザインキット

種類	内容	メリット
SNAP-DK（Basic Design Kit）	CPU ＋小規模周辺IP群	ブート可能なCPUサブシステムが利用可能
SNAP-ADK（Advanced Design Kit）	SNAP-DK ＋高機能IP群（性能保証済システム）	OSを含む高機能CPUサブシステムが利用可能
SNAP-SDK（System Design Kit）	コンサルテーションによるフルカスタムデザインキット（性能保証済システム）	要求仕様、既存システムに基づく専用サブシステムが利用可能

SNAP-PK



動画コーデック サブシステム

●背景と取組み

昨今のバースト長増加を伴うDDRメモリの超高速世代への進化と、小サイズの矩形画像データを扱う動画コーデック処理のDDRへのアクセスとのミスマッチは、DDRメモリ帯域の使用効率の低下を招いています。当社の動画コーデックサブシステムは、当社独自の技術によって、高効率・省帯域な動画コーデック処理を可能にします。

●概要

当社は、DDR進化の影響を大きく受けずに、コーデック処理のメモリアクセス効率を向上させる独自のバス・プロトコルメソドロジーを開発しました。
このメソドロジーは、当社のコーデックエンジンとメモリコントローラを密結合させることで、コーデックエンジンがアクセスする画像データの二次元情報をもとに、メモリコントローラ側で物理的なメモリマップを考慮した効率的なDRAMアクセスを実現し、必要なメモリ帯域を大幅に低減します。

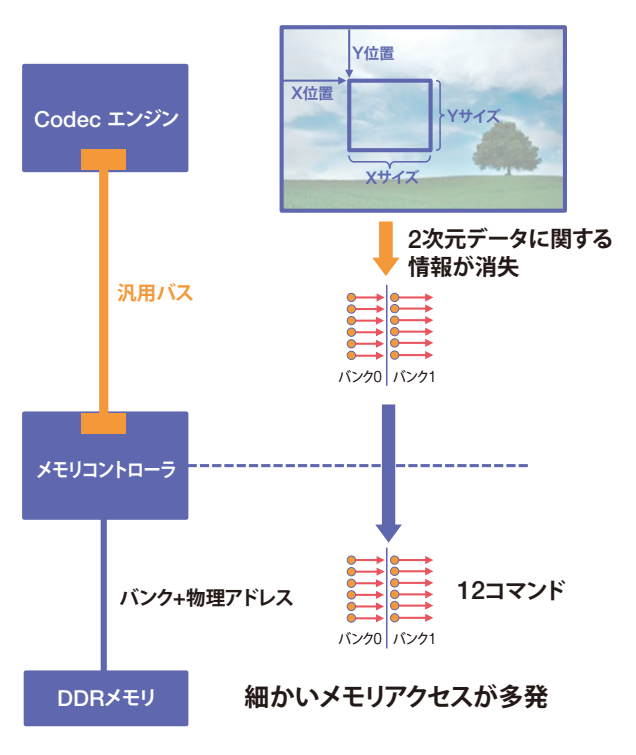
●特長

・各種 HEVCコーデック処理を、下記の省バス幅（bit数）にて実現します

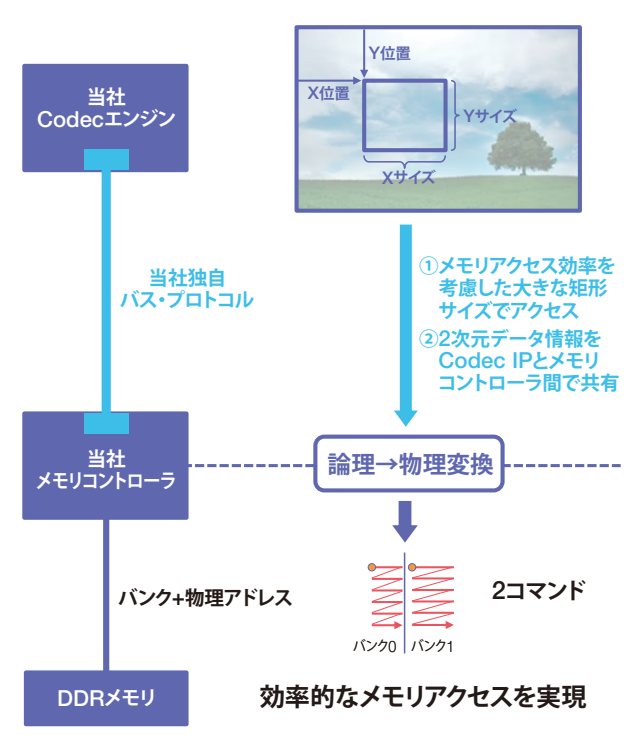
例) LPDDR4 2400Mbpsを使用した場合

	処理内容	当社従来	本サブシステム
Decode	4k 60p 4:2:2 10bit	112bit	64bit
	4k 60p 4:2:0 10bit	96bit	48bit
	4k 60p 4:2:0 8bit	64bit	32bit
Encode	4k 60p 4:2:2 10bit	96bit	48bit
	4k 60p 4:2:0 10bit	80bit	48bit
	4k 60p 4:2:0 8bit	64bit	32bit

一般的なCodec IPコアとDDRメモリの関係



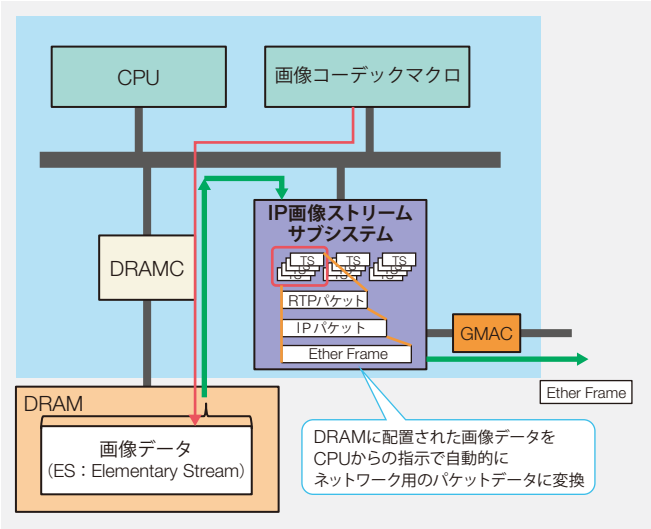
当社Codec IPコアとDDRメモリの関係



IP画像ストリームサブシステム

●背景と取組み

インターネットの普及に伴い、インターネットへ画像ストリームを流すニーズが高まっています。ダウンストリームについては「画像配信サーバ」、アップストリームについては「ネットワーク監視カメラ」がその代表的な例です。ソシオネクストは、このターゲット分野において、コーデック処理された画像データの断片化やIPパケット化を担い、メインシステムの処理負荷を大幅に軽減させます。



●概要

画像データ/音声データのIPカプセル化、イーサネットフレーム化を行います。メモリ空間にコーデック処理後のデータを配置するだけで、以下の一連の処理を高機能IPマクロ内で行います。

- DRAMに配置された画像データ（ES）のTSパケット化
- ES/TS/JPEGデータのRTP化
- RTPパケットのIPカプセル化
- IPパケットのイーサフレーム化およびGMAC制御（画像送信）

送信帯域(Mbps)	10	30	50	150	300	500
オフロード無 CPU負荷率(%)	23	62	100			
オフロード有 CPU負荷率(%)	-	-	15	21	29	39

25倍の負荷軽減

製品実測値

●特長

- RTP/UDPオフロードサポート
  ［対応フォーマット］
  - ES over RTP : Video(H.264), Audio(G.771, AAC)
  - JPEG over RTP
  - TS over RTP
  - Metadata over RTP
- Max.32ストリーム対応
- セキュリティ（暗号化）機能との統合

HDMI 2.1 対応データ送受信サブシステム

●背景と取組み

HDMI 2.1は、最大帯域が従来のHDMI 2.0の約2.7倍となる48Gbpsにまで 高速化され、8Kをはじめとする大容量のコンテンツの高画質・高音質かつ低遅延での伝送を可能にする規格で、2017年に策定されました。ソシオネクストは、家庭用録画機や4Kテレビ向けの映像送受信および大規模サーバに使用される高速シリアル伝送技術の開発で培った豊富な経験とノウハウをもとに、HDMI 2.1に対応したデータ送受信サブシステム（Link / PHY）を提供いたします。

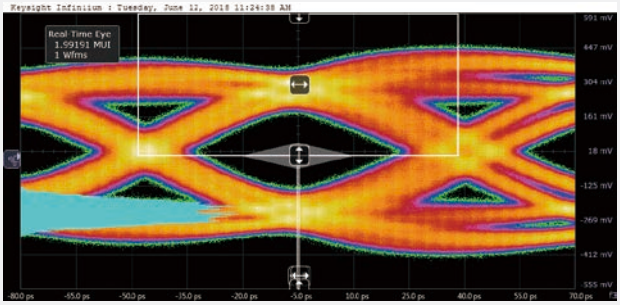
●概要

本サブシステムは、HDMI 2.1（高精細度マルチメディアインターフェイス）の仕様をサポートしています。最大で 4320 x 7680p のビデオ解像度に対応し、8/10/12bit の色深度をサポート。帯域幅は48Gbps（4Lane）までをカバーします。
オーディオは、L-PCM と圧縮オーディオデータに対応しています。32kHz ～ 192kHzのサンプリングレートに加えて、高ビットレートのオーディオ（最大768kHz）もサポートしています。

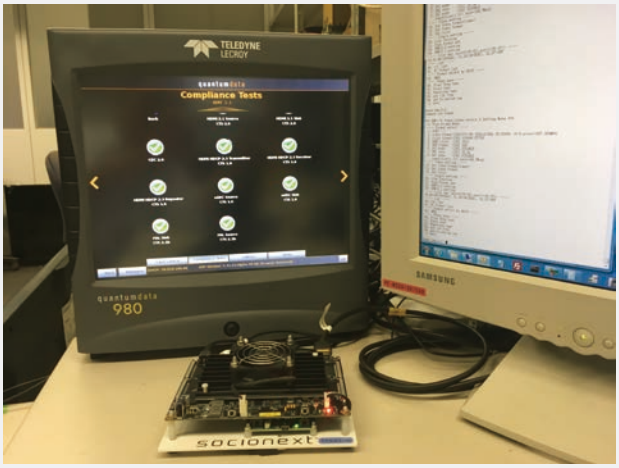
●特長

- VESA DSC1.2a対応
- ダイナミックHDR、eARC対応
- ゲームモード VRR/QMS対応
- HDCP2.3対応
- ホットプラグ検出対応

HDMI2.1-Tx 出力波形@ 12Gbps



Compliance テスト (protocol) 評価環境



省電力サブシステム

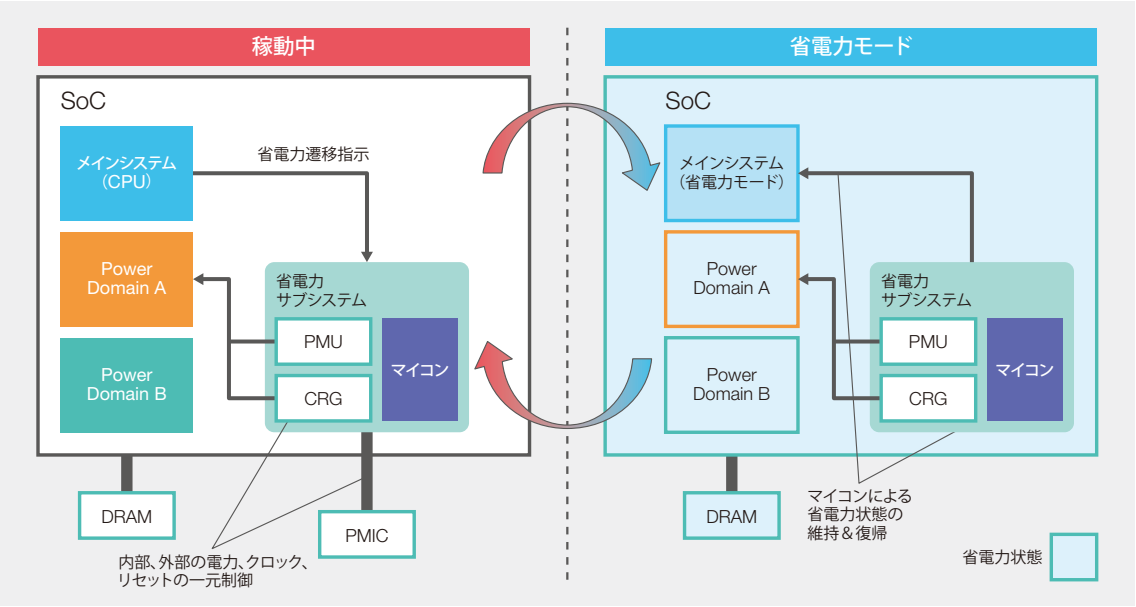
●背景と取組み

近年のSoCの高機能化・大規模化によって、“省電力モード”を実現することが、必要不可欠なものになっています。例えばネットワーク機能を中心に最低限のI/Fを残して、その他すべてを省電力状態で待機させるネットワークスタンバイモード、それよりも深い眠りにつけるようサブシステムだけを起こしておくスリープモードなど、実装形態はさまざまです。ソシオネクストではこれらの要望に応えるための省電力サブシステムをご提供します。

●概要

省電力サブシステムはArmマイコンおよび最小限の周辺IP、RAMなどで構成されるシステムで、メインシステムとは異なるシステムとして動作します。このサブシステムがメインシステムと独立して動作することにより、以下のような機能を実現できます。

- メインシステムからサブシステムへのシンプルな指示による省電力モード遷移と復帰
- サブシステムのみ起床させることにより、実現するより深いスリープモードの実現
- パワーアップ、シャットダウンシーケンスの統合



サブシステムの導入を容易にするため、以下の支援サービスを提供します。

- メインシステム ←→ サブシステムのシステム省電力シーケンス検討支援
- メインシステム スリープ、起床シナリオのソフト設計支援
- サブシステム電源制御設計支援など

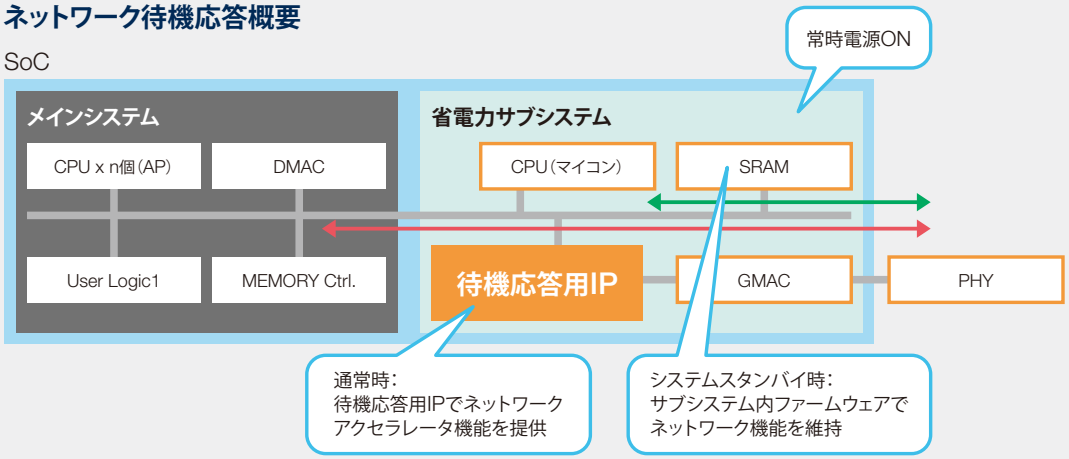
ネットワーク待機応答

ネットワーク待機応答とは、システムスタンバイ時に、メインシステムが完全に休止している状態でサブシステムがネットワークの代行処理を行う機能です。さらに、下記の機能も加えてサポートします。

［サポート機能］

・メインシステムで処理が必要なパケットを受信した場合に、メインシステムWake-upをアシストする機能
・メインシステムWake-up後、通常状態でパケット処理を加速するアクセラレーション機能

ネットワーク待機応答概要



ネットワーク待機応答性能実績値

機能/性能	通常	保有技術使用	対比
待機電力	2W～数W	<100mW	<1/20
通信性能	300Mbps	900Mbps(CPU負荷20%削減)	約3倍

MB86S73ボード実測値

セキュリティ サブシステム

●背景と取組み

IoTの進展に伴い、セキュリティシステムは必須のアイテムとなっています。セキュリティシステムの実現には秘匿情報の高いレベルでの保護とハードウェアによる高速なアルゴリズム処理が欠かせませんが、新規にこれらのハード、ソフト開発を行うのは容易ではありません。ソシオネクストが提供するセキュリティサブシステムを利用することで、この開発負担を低減し、効率よくセキュリティシステムを導入することができます。

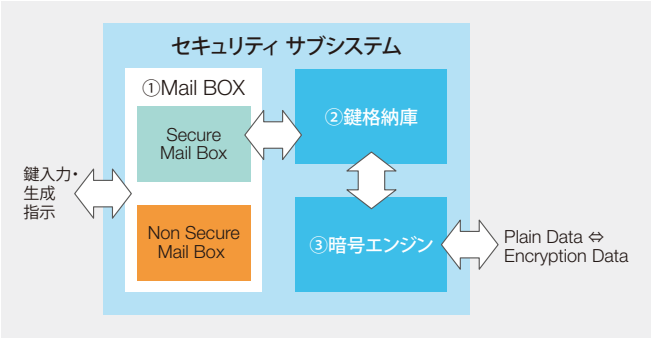
●概要

セキュリティサブシステムは秘匿性の高い鍵情報を保存する専用の格納庫と、この格納された鍵を利用して高速に暗号、認証処理を行うハードエンジンを兼ね備え、高いレベルでセキュリティシステムを実現します。

［セキュリティサブシステムの特長］

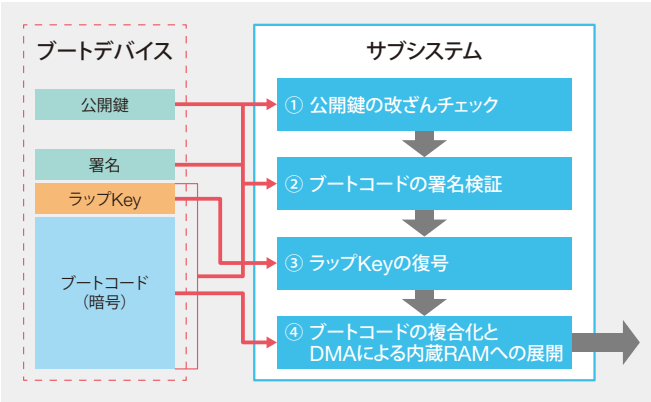
①専用のメールBOXを介した安全な鍵の生成・入力
②モジュール内に配置される鍵格納庫による安全な鍵の格納
③安全な鍵格納庫の鍵を利用可能な専用の暗号エンジン

以下にこのサブシステムを利用した機能例、およびシステム構成例を紹介します。



●サブシステムを使った機能例：セキュアブート

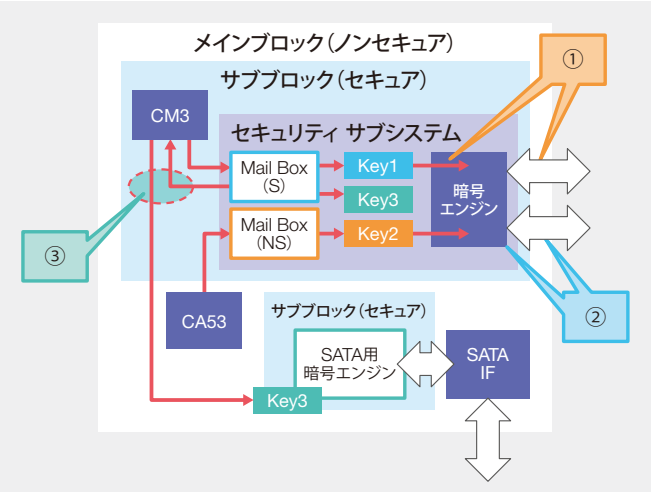
ブートコードはシステムの起動時に最初に実行されるコードであり、正しいプログラムが使われているかどうかはブートコードを起点に考えなければなりません。このような重要なコードを暗号化して配置し、かつ、改竄されていないかを検知する仕組みはセキュリティシステムとして重要なポイントです。セキュリティサブシステムはこのような重要なコードの保護、安全な実行を行うための仕組みを提供します。



●サブシステムを使ったシステム構成例

セキュリティサブシステムは、全体のシステムの中で以下のような利用が可能です。

①セキュアなサブブロックのマイコン、ROMを起点にしたセキュアブートの実現
②ノンセキュアなメインブロック専用の鍵格納ルート構築と暗号処理
③セキュアなサブブロックのマイコンとセキュリティサブシステムを使用した他暗号エンジンの鍵管理



●ハードウェアアクセラレータ

サブシステム内に搭載されているセキュリティアルゴリズムアクセラレータの一覧を以下に示します。

方式		鍵長 (bit)
共通鍵暗号	3DES-ECB	168
	3DES-CBC	168
	AES-ECB	128/192/256
	AES-CBC	128/192/256
	AES-CTR	128/192/256
	AES-GCM	128/192/256
ハッシュ	SHA-1	–
	SHA-256	–
	SHA-512	–
HMAC	SHA-1	160
	SHA-256	256
	SHA-512	512
電子署名生成/検証	RSA	2048 - 3072
	ECDSA	256/384/521

IPマクロの提供サービス

IPマクロ・ラインアップ

実績豊富な当社IPマクロがお客様の先端SoC開発をサポートします。

●機能/インタフェース・マクロ一覧

●：提供中　○：準備中

Category	Function	Process Technology					
		90nm	65nm/55nm	40nm	28nm	16nm/12nm	7nm/6nm
Arm Cores	Cortex-A	●	●	●	●	●	●
	Cortex-R	●	●	●	●	●	●
	Cortex-M	●	●	●	●	●	●
	Arm11, Arm9, Arm7	●	●	●	●	●	●
	Mali	●	●	●	●	●	●
Image Core	JPEG	●	●	●	●	●	●
	H.264	●	●	●	●	●	●
	H.265	●	●	●	●	●	●
Security Core	SHA	●	●	●	●	●	●
	PKA	●	●	●	●	●	●
	3DES	●	●	●	●	●	●
	AES	●	●	●	●	●	●
Interface Controller Core	OSPI/QSPI	●	●	●	●	●	○
	UART	●	●	●	●	●	●
SD	UHS-I	●	●	●	●	●	○
	UHS-II				●	●	○

●高速インタフェース・マクロ一覧

Category	Function	Process Technology					
		90nm	65nm/55nm	40nm	28nm	16nm/12nm	7nm/6nm
USB	USB3.1 Gen2 Host/Device				●	●	○
	USB3.1 Gen1 (USB3.0) Host/Device		●	●	●	●	○
	USB2.0 Host/Hub/Device	●	●	●	●	●	○
Ethernet	Gigabit Ethernet MAC	●	●	●	●	●	●
Video	HDMI2.0	●	●	●	●	●	○
	HDMI2.1				●	●	○
	V-By-One HS			●	●		
	FPD-Link	●	●	●	●		
LVDS	LVDS	●	●	●	●	●	○
	SubLVDS	●	●	●	●	●	○
MIPI	DSI TX	●	●	●	●	●	●
	CSI-2 TX/RX	●	●	●	●	●	●
	D-PHY	●	●	●	●	●	○
	C/D-PHY				●	●	○
	M-PHY				●	●	○
PCI Express	PCIe Gen4 RT/EP					●	○
	PCIe Gen3 RT/EP				●	●	○
	PCIe Gen2 RT/EP		●	●	●		○

（次ページに続く）

●高速インタフェース・マクロ一覧

●：提供中　○：準備中

Category	Function	Process Technology					
		90nm	65nm/55nm	40nm	28nm	16nm/12nm	7nm/6nm
Serial ATA	SATA3 AHCI			●	●	●	
	SATA2 AHCI	●	●	●			
	SATA3 Device			●	●	●	
DRAM Interface (PHY)	DDR3	●	●	●	●	●	
	DDR3L	●	●	●	●	●	
	DDR4			●	●	●	
	LPDDR3			●	●	●	
	LPDDR4				●	●	
	LPDDR4X					●	
	LPDDR5					○	○
	HBM2					●	

●アナログ・マクロ一覧

Category	Function	Process Technology					
		90nm	65nm/55nm	40nm	28nm	16nm/12nm	7nm/6nm
ADC	10bit, up to 600MS/s	●	●	●	●	●	
	12bit, up to 200MS/s	●	●	●	●	●	○
	16bit	●			●	●	
DAC	10bit, up to 220MS/s	●	●	●	●		
	12bit, up to 110MS/s	●	●	●			
	16bit	●	●				
AFE	Audio			●	●		
	Video			●	●		
	Scanner			●	●		
Temperature sensor	+/-5deg.C accuracy (without trimming)		●	●	●	●	●
Power management	Vin=3.3V, Vout=1.0-1.2V, Iout≦400mA LDO	●	●	●	●	●	
	Power on reset			●	●	●	
Standard PLL	Fout: ~1200MHz, Fin:10~200MHz	●	●	●	●	●	
	Fout: ~1600MHz, Fin:16~200MHz	●	●	●	●	●	
	Fout: ~2400MHz, Fin:16~200MHz			●	●	●	○
	Fout: ~3200MHz, Fin:16~200MHz				●	●	○
	Fout: ~5000MHz, Fin:20~100MHz				●	●	○
Low Jitter PLL	Fout: ~600MHz, Fin:11~100MHz	●	●	●	●	●	
	Fout: ~1000MHz, Fin:10~40MHz			●	●	●	○
	Fout: ~6400MHz, Fin:20~100MHz				●	●	○
Fractional -N PLL	Fout: ~1600MHz, Fin:10~50MHz	●	●	●	●	●	
	Fout: ~3200MHz, Fin:10~50MHz				●	●	○
SSCG	Fout: ~1600MHz, Fin:10~50MHz	●	●	●	●	●	
	Fout: ~2400MHz, Fin:20~50MHz			●	●	●	○
	Fout: ~3200MHz, Fin:10~50MHz				●	●	○

インタフェース・マクロ

DDRインタフェース

低中速転送帯域から高速転送帯域やLow Powerまで、さまざまなDDRインタフェース・マクロを各種テクノロジーで提供します。また、Chip-Package-Boardの協調設計による設計支援で信号品質とコストの最適化を図る開発をサポートします。

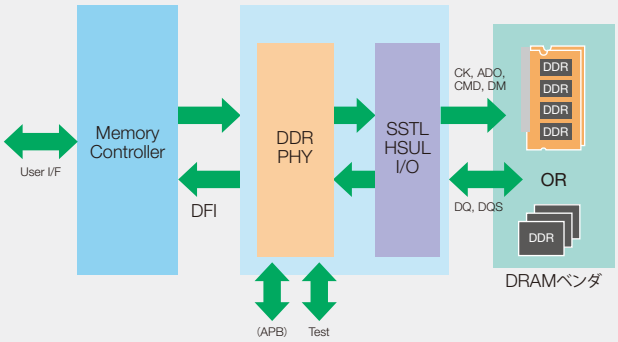
●DDRインタフェース・マクロ

- 高速/高帯域（高速マクロ）：DDR3/DDR4
- Low Power（低消費電力マクロ）：LPDDR4X/4/3/2DDR3L
- DFI準拠（全マクロ）
- PHY機能(Training機能）により、Fly-by, PoP, DIMM, etc 多彩なDRAM配置、PKGオプションに対応

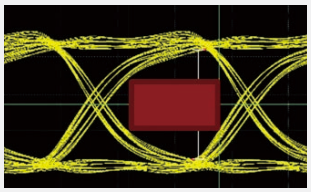
●DDRインタフェース設計サポート
（Chip–Package–Board 協調設計）

- Timing検証　：LSI.I/O ～ DRAM間の遅延を含めたDDR- IF全系のTimingを検証
- Power Integrity：電源 Impedance設計として寄生インダクタンス、共振周波数、電源（PKG, PCB）インピーダンスを最適化
- Signal Integrity：Driver Strength、終端抵抗、配線Topologyの最適化
- バス切替検証　：Write/Readバス切替タイミングの最適化

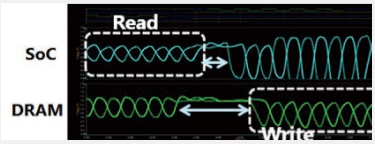
DDRインタフェース構成図



LPDDR4-3733 DQ 波形



バス切替波形



メモリコントローラ

ソシオネクストは、システムを最適化するための、さまざまなメモリソリューションを提供しています。また、メモリチャネル・システムバスとして、SoC性能を引き出すための、メモリシステムコンサルティングも行っています。

●メモリ・コントローラIP

- 高いDRAM使用率を引き出すコントローラ

●QoS-アービタIP

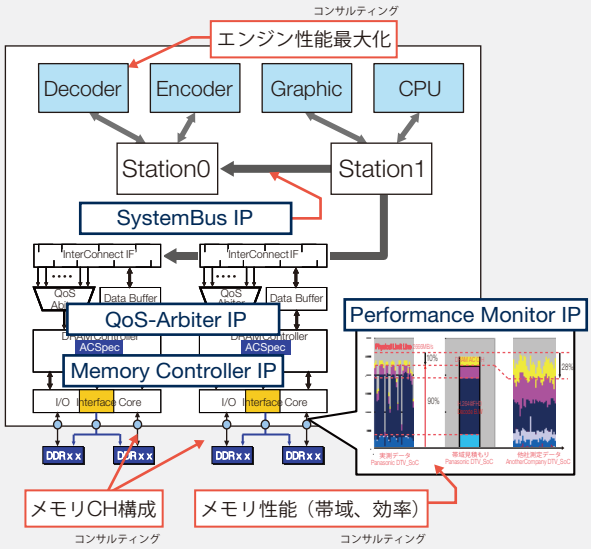
- 高性能、高機能な多機能QoS-アービタ

●BusIP

- 低消費電力でレイアウトフレキシビリティの高いオリジナルバス

●MonitorIP

- メモリシステム性能をリアルタイムに可視化
- 性能（帯域・Latency）をモニタリングし、パラメータをチューニングする環境を提供します。



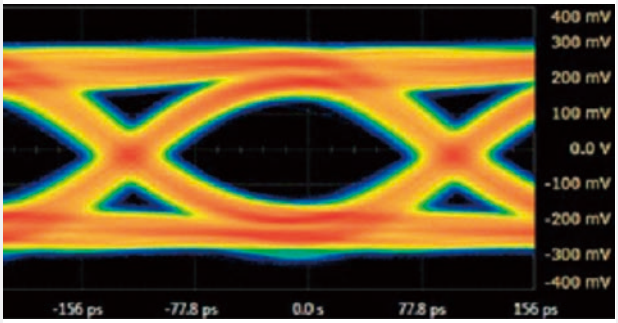
MIPIインタフェース

高速・高解像度CMOSイメージセンサーとのカメラおよびディスプレイシステムを構築するための高速インタフェースです。高い映像表現力を実現するソリューションを提供します。

●MIPI D-PHY TX マクロ
最高速度4.5Gbps、小面積の高性能マクロ

- 4Data Lane+1Clock Lane構成
- 伝送速度：80Mbps ～ 4.5Gbps@1lane
- イコライザ機能
- 世界最小クラスの面積を実現
- D-PHY2.0対応

D-PHY TX 出力波形 @4.5Gbps



PCI Expressインタフェース

近年の飛躍的なCPU処理能力向上と大容量データ転送ニーズの拡大に伴い、既存バスでは期待するシステム性能を実現することが非常に難しくなっています。この課題を克服するために、数百メガバイトのデータ転送を可能とする高速インタフェースが、PCI Express技術です。
当社のPCI Expressマクロは、最高8GT/s（Gen3）まで対応しており、PCI-SIGが主催するPCI Express規格のコンプライアンステストをパスし、多数のPCI Expressインタフェースとの相互接続性と信頼性を確認したマクロです。

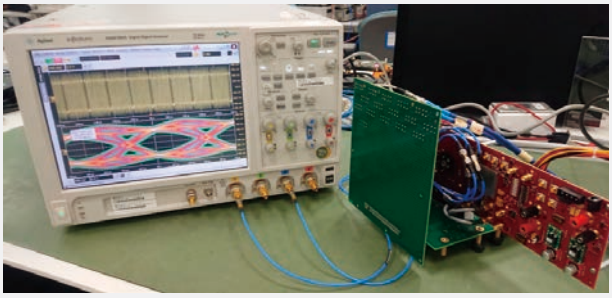
●PCI Express LINKマクロ

- 標準規格PCI Express Base Specification rev.3.0準拠
- レーン数×1/×4/×8をサポート
- DualMode（RootComplex/Endpointを選択可能）
- ユーザ用インタフェースは、AMBA3 I/Fを選択可能
- DMAC内蔵

●PCI Express PHYマクロ

- 最大ビット転送レート64GT/s
- De-emphasis機能による高速信号伝送を保証
- LINKマクロ・インタフェースは標準規格PIPE3/PIPE4準拠

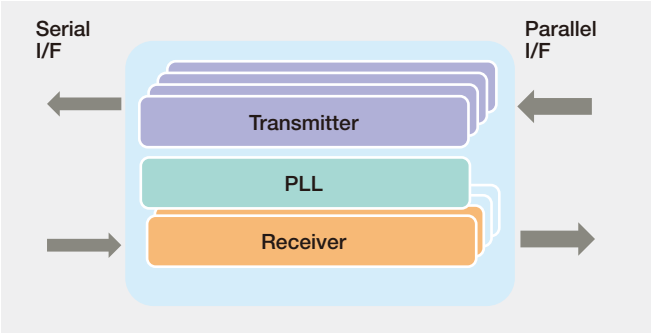
PCI Express Gen3 評価環境

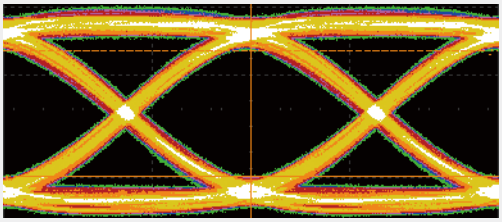


10G–28Gbps SERDESインタフェース

1チャネル当たり10Gbps～28Gbpsの伝送性能を有し、複数チャネル構成とすることにより、100G/200G/400GのOptical networkや100G Etherシステムを構築するための高性能SERDESマクロを提供します。
低ジッタの高性能PLLを内蔵することにより、1チャネル当たり最大28Gbpsのロバストな伝送を可能としました。
OIF-CEI-11G-SR, OIF-CEI-28G-SR, OIF-CEI-28G-VSR, IEEE802.3ba CAUI, IEEE802.3bm CAUI4, XFIなどのさまざまな規格をサポートしています。

- x1, x4レーン構成
- Transmitter/Receier/PLLからなり、1マクロで双方向通信が可能
- 1マクロ当たり最大112.8Gbps（片方向, x4構成時）
- レーンごとのパワーダウン制御をサポート
- マクロ全体パワーダウン制御をサポート
- Receiver laneごとのClock-Data Recoveryを実装
- Transmitter Equalizationをサポート
- Receiver Equalizationをサポート
- Transmitter/Receiverに終端抵抗を内蔵
- オーガニック・フリップチップ・パッケージ（0.8 mm/1.0 mm Ball Pitch, HDBU Package）





テストチップでの28Gbps出力波形

アナログ・マクロ

ソシオネクストは、通信・画像処理・センサー・制御など、さまざまなアプリケーションを開発するお客様向けに各種アナログ・マクロ（データコンバータ・パワーマネジメント・センサー・アナログフロントエンド）を提供します。

・すべてのマクロはシリコン実証済み
・多数のSoCに搭載され、量産実績あり

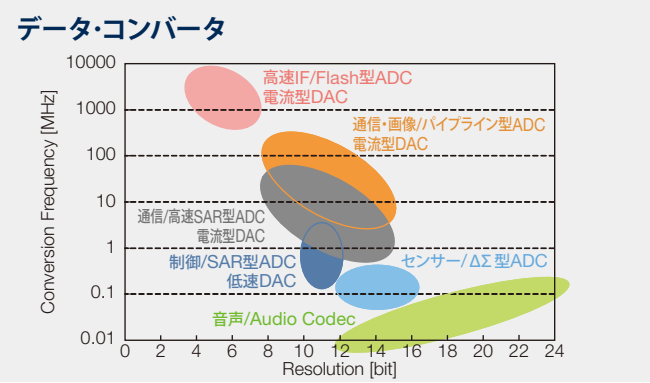
データ・コンバータ

SoCに要求される低消費電力、小面積を実現した各種データコンバータマクロを提供します。

●パイプライン型＆高速SAR型ADC
・分解能10bit/12bit、最大変換レート600MS/s
・世界最小クラスの消費電力を実現

●ΔΣ（デルタシグマ）型ADC
・分解能16bit-24bitに対応可能
・SINAD 85dBの高精度で、消費電力1mW以下を実現

●ΔΣ（デルタシグマ）型DAC
・分解能16bit-24bitに対応可能
・SINAD 90dBを実現

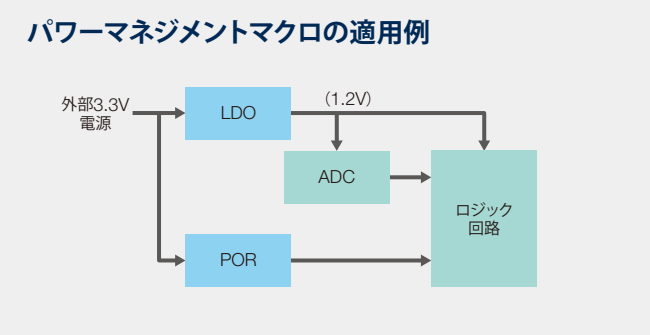


パワーマネジメント

SoCに要求される単一電源化を可能にした各種パワーマネジメントマクロを提供します。

●低ノイズ電源用途向け LDO
・I/O一体型など、小面積版をラインアップ
・短絡検知など、安全保護機能を実装
・ADC, PLLなどのアナログIPへの電源供給にも対応

●パワーオンリセット
・電圧検知レベル、リセット時間をカスタマイズ可能
・ブラウンアウトリセットにも対応



センサー、アナログフロントエンド(AFE)

チップ内部の温度や電圧を計測するセンサーマクロや、外部の各種センサー信号を処理する低消費電力のAFEを提供します。

●温度センサーマクロ

- 高い分解能(0.125℃)でチップ内部の温度モニタが可能
- 低消費電力、小面積のため1チップに複数個搭載が可能
- 温度に応じた電圧・周波数制御システムを実現

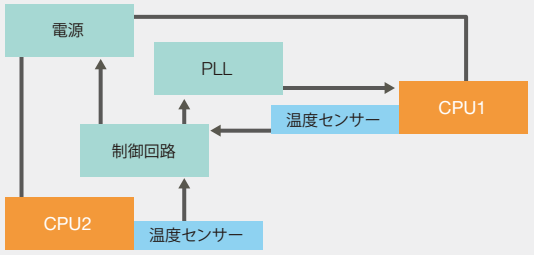
●スキャナー AFE

- CCD/CIS 両対応
- Gain/Offset調整機能を実装
- 12bit 50MS/s ADCを搭載
- 低消費電力 (19mW)

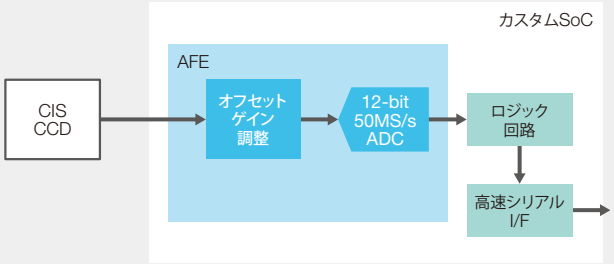
●さまざまなセンサー信号や外部信号に対応したカスタムAFE

- 光センサー、湿度センサー、ジャイロセンサー用AFE
- Video AFE
- Audio AFE
- デジタルTV用AFE

温度センサーの適用例



スキャナーAFE適用例



デザイン技術

フロントエンドデザイン

●フロントエンドデザインキット

ソシオネクストではお客様のSoC開発環境として、標準のEDAツールによる開発環境と設計効率化のための当社製ツールをデザインキットとして提供・サポートします。このフロントエンドデザインキットは当社独自に最適化されており、短期間での高性能・小チップサイズ・低電力なLSIの開発を可能にしています。

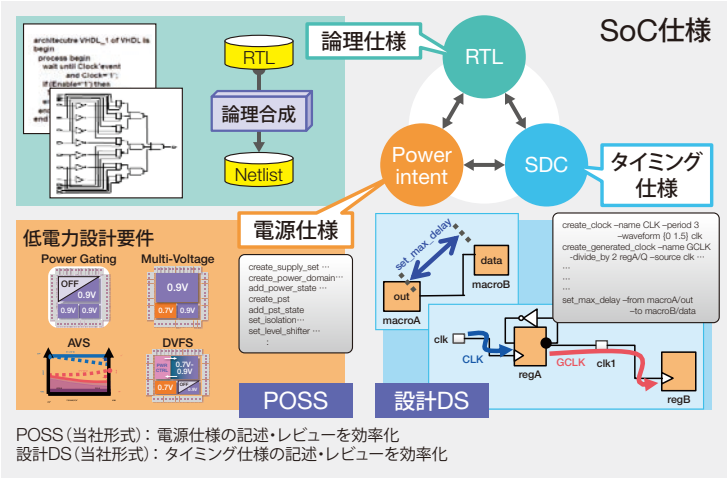
フロントエンドデザインキットサポートEDAツール

高位合成		Catapult*3, C-to-Silicon Compiler*1, Stratus*1
RTL スタイルチェック		SpyGlass*2
機能検証	Verilog-HDL	Incisive Enterprise Simulator*1, Questa*3, VCS-MX,VCS*2
	VHDL	Incisive Enterprise Simulator*1, Questa*3, VCS-MX*2
	CPF/UPF	Incisive Enterprise Simulator-XL*1, Questa*3, VCS-NLP*2
論理合成		Design Compiler*2, Encounter RTL Compiler*1, Genus Synthesis Solution*1
等価性検証		Encounter Conformal Equivalence Checker*1, Formality*2
タイミング制約検証		Encounter Conformal Constraint Designer*1, SpyGlass Constraints*2
MV検証		Encounter Conformal Lowpower*1, VC Static Low Power*2
解析・デバッガー		Verdi*2
Netlistチェック※		SpyGlass*2
Pre DFTチェック※		SpyGlass DFT*2

*1：日本ケイデンス・デザイン・システムズ社
*2：日本シノプシス合同会社
*3：メンター・グラフィックス・ジャパン株式会社
※：テクノロジーにより内製チェッカをご提供します

●設計仕様I/F

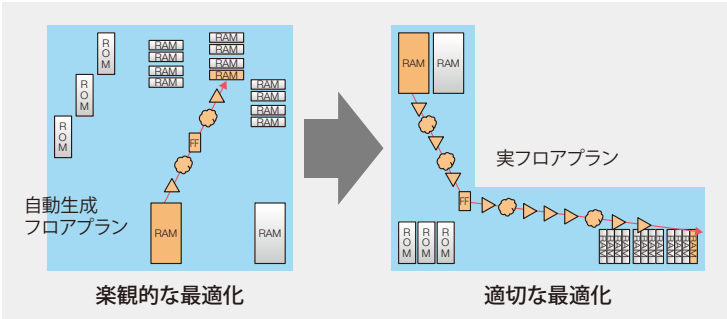
SoCの設計においては、論理設計データであるRTLおよびNetlistだけではなく、クロック周波数などのタイミング仕様を記述したSDC、パワーゲーティング設計や多電源・多電圧設計などの電源仕様を記載したCPF/UPFなどのPower Intentが必要となります。当社はそのSDCおよびPower Intentに対して、独自形式のI/Fファイルを用意しています。これらを用いることで、各仕様の記述やレビューを効率化するとともに、ハンドオフされたRTL、電源仕様、タイミング仕様の整合性、レイアウト親和性を素早く検証することが可能となります。



POSS（当社形式）：電源仕様の記述・レビューを効率化
設計DS（当社形式）：タイミング仕様の記述・レビューを効率化

●物理考慮論理合成

テクノロジーの微細化に伴い、レイアウトを考慮した論理設計を行うことが、SoC設計の効率化、面積やタイミングの最適化に重要となってきています。このため、当社では実際のレイアウトを考慮して最適化を行う、物理考慮合成を取り入れています。このような論理設計とレイアウト設計の協調により、高機能なSoCを効率的に設計します。



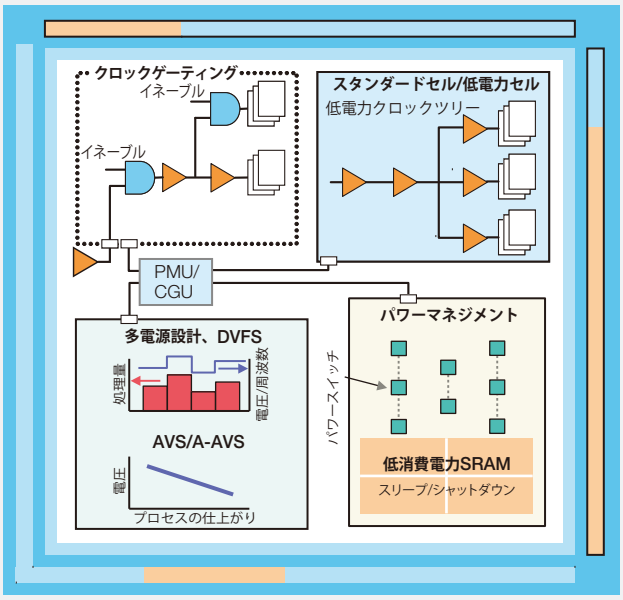
低消費電力化技術

近年、LSIに対する消費電力削減の要求はますます高くなっています。ソシオネクストのSoC設計は、お客様の低消費電力化に対する要望にお応えするために、さまざまな取り組みを行っています。低消費電力LSIを実現するためには、個々の技術だけではなく、さまざまな技術を組み合わせることが有効です。当社の設計環境「リファレンス・デザイン・フロー」では、さまざまな低消費電力化技術に対応しており、LSIの動作時と待機時双方の消費電力を削減できます。特に電源を制御することにより、低消費電力化を図る手法を体系化して開発しています。また、当社はUPF/CPFを全面採用することで、お客様の設計資産への変更を抑えつつ、低消費電力化設計を容易にしています。UPF/CPFの採用は、これまでは検証が非常に困難だった低消費電力化技術に対しても信頼性の高い設計を行うことが可能です。

●多電源設計

多電源設計は、LSI内に異なる電圧を供給する技術で、高速動作の回路ブロックには高電圧、低速動作の回路ブロックには低電圧を供給し、動作時の消費電力を削減できます。
当社のUPF/CPFの採用によって、異なる電圧の回路ブロックを一括して物理設計・検証することができるようになり、低消費電力設計に伴う開発期間の増加を最小化します。

低消費電力化技術



低消費電力化技術

設計レベル	設計技術		
システムレベル設計	メモリアクセス削減 演算量削減 アーキテクチャ選択 キャッシュ有効利用	パワーマネジメント	電圧・周波数の静的・動的制御技術
RTL設計	RTL最適化		
論理合成 レイアウト	ネットリスト最適化 多電源設計 クロックゲーティング DVFS、AVS/A-AVS 低消費電力スタンダードセル 低消費電力SRAM		

●クロックゲーティング

動作不要な回路ブロックのクロック供給を停止することによって、LSI動作時の消費電力を削減できます。

●パワーマネジメント

パワーゲーティングとSRAMのスリープ、シャットダウンモードを統合的に制御するパワーマネジメントを提供します。無駄を徹底的に排除することで低消費電力化に貢献します。当社のパワーマネジメント技術は、独自のパワースイッチ制御方式の採用により、電源供給のオン・オフ切替え時に発生する電源ノイズを抑制してLSIの誤動作を回避します。さらに、UPF/CPFの採用により、電源遮断回路ブロックを含めて一括して物理設計・検証することができるようになり、開発期間の増加を最小化します。

●適応的電源制御（DVFS*1、AVS*2/Advanced-AVS）

要求処理量に応じて電圧や周波数を変化させるDVFSに対応します。また、製造上のばらつきに応じて適応的に動作電圧を決定し、LSIの動作を保証する最低電圧で動作させることにより動作時・待機時双方の消費電力を低減します。

*1：DVFS（Dynamic Voltage Frequency Scaling）
*2：AVS（Adaptive Voltage Scaling）

●スタンダードセル

最先端テクノロジーでは、スタンダードセルの面積だけでなく配線性もLSIとしての低消費電力化に貢献します。当社では独自設計した他社製を凌駕するスタンダードセルを提供しています。また、クロック系の低消費電力化に有効なセルのラインアップを拡充させています。

●低消費電力SRAM

大容量のSRAMを搭載するLSIでは、SRAMマクロの消費電力が問題となる場合があります。そのような場合に、マルチモードSRAMを使うことで消費電力を削減できる場合があります。マルチモードSRAMには、通常動作モードに加えて、スタンバイモード、スリープモードとシャットダウンモードがあります。スタンバイモードでは、SRAMマクロ内部のクロック動作を停止することで、SRAMマクロの動作電力を0にすることができます。スリープモードでは、SRAMマクロの周辺回路を非活性化することで、リーク電力を削減します。シャットダウンモードはSRAM単独で電源遮断することが可能です。また、使用するSRAM構成の最適化も低消費電力化に貢献します。お客様の最適なSRAM選択を論理設計段階からサポートします。

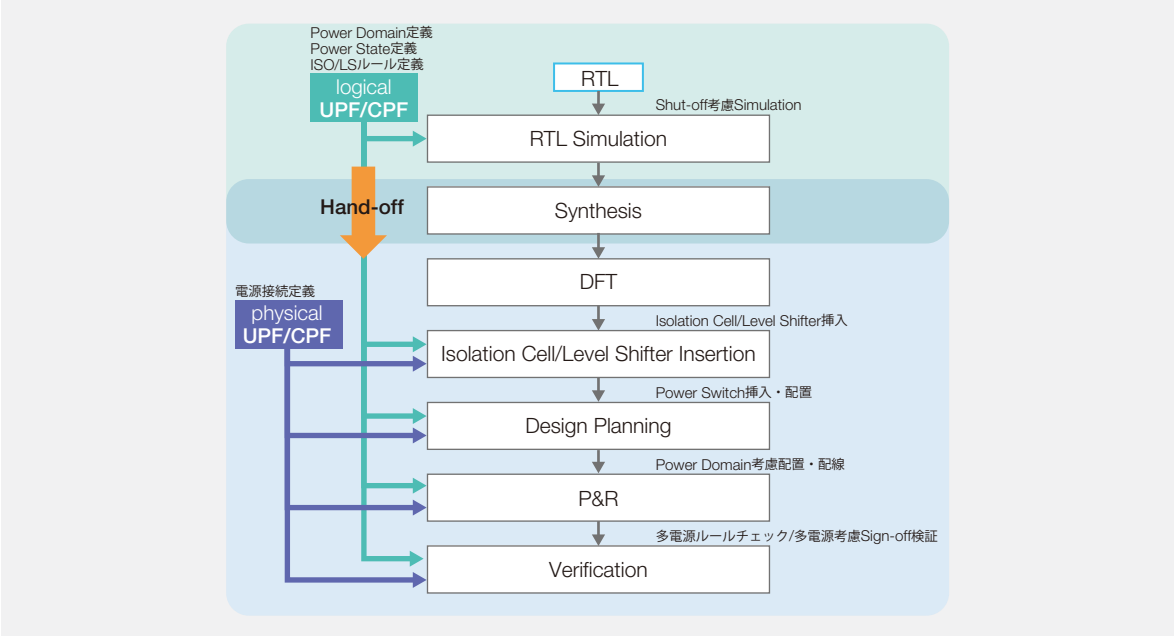
動作モード	機能	効果
通常動作	通常のRAM動作	−
スタンバイ	動作停止	動作電力が0
スリープ	データ保持	リーク電力が約1/3*
シャットダウン	SRAM単独で電源遮断	リーク電力が約1/6*

*：SRAM構成に依存

●UPF/CPFを全面採用した低消費電力設計環境

当社はUPF*1およびCPF*2で電源仕様を一貫管理することにより、パワーゲーティング設計や多電源・多電圧設計、そして搭載IPの増加により複雑化した電源設計に対するRTLシミュレーション、多電源検証および物理設計をサポートするトータルソリューションを提供しています。このソリューションでは電源仕様を論理仕様と物理仕様に分けて管理することにより、論理仕様のみを定義することでRTLシミュレーションによる電源遮断検証が可能です。電源物理仕様の準備および検証したRTLと電源論理仕様を物理設計へハンドオフしてから電源仕様（UPF/CPF）に基づいた物理設計を行います。このように電源仕様をUPF/CPFで管理し、設計フローを通して使用することにより、電源仕様が明確化され、信頼性の高い設計を行うことが可能です。

*1：UPF（Unified Power Format）はIEEE Std. 1801として標準化された低消費電力設計指針を記述する標準仕様です。（http://www.ieee.org/）
*2：CPF（Common Power Format）はSi2にて標準化された低消費電力設計指針を記述する標準仕様です。（http://www.si2.org/?page=811）



DFT（Design for Test）技術

プロセスの微細化、回路規模増大や回路動作の高速化、低消費電力化に伴い、SoCのテストは複雑さを増しています。この課題を解決するために、ソシオネクストは圧縮スキャン、メモリBIST、バウンダリスキャンなどのDFTに加え、テスト品質および歩留り向上のためにさまざまなDFT技術を用いて高品質なテストを実現しています。

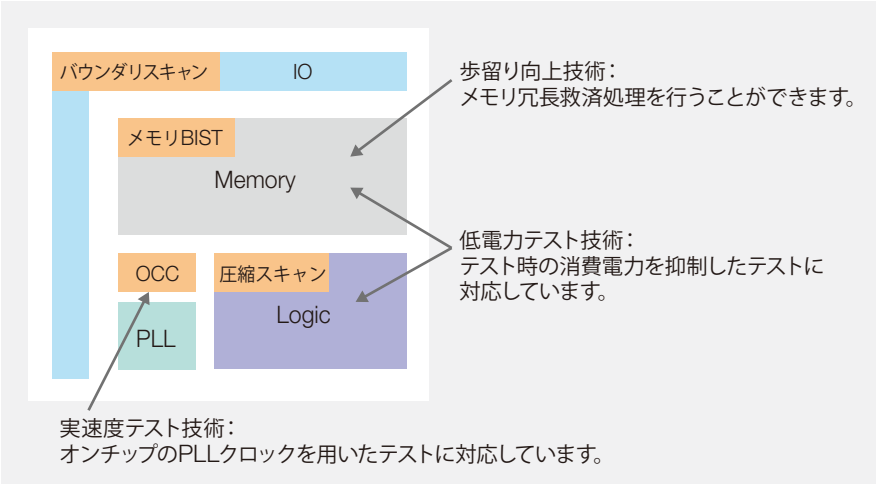
［ソシオネクストが実施するDFT技術］

●テスト品質向上のための実速度、低電力テスト技術

・オンチップのPLLクロックを用いたテスト

・テスト時の消費電力を抑制したテスト

●歩留り向上のためのメモリ冗長救済処理、故障診断技術

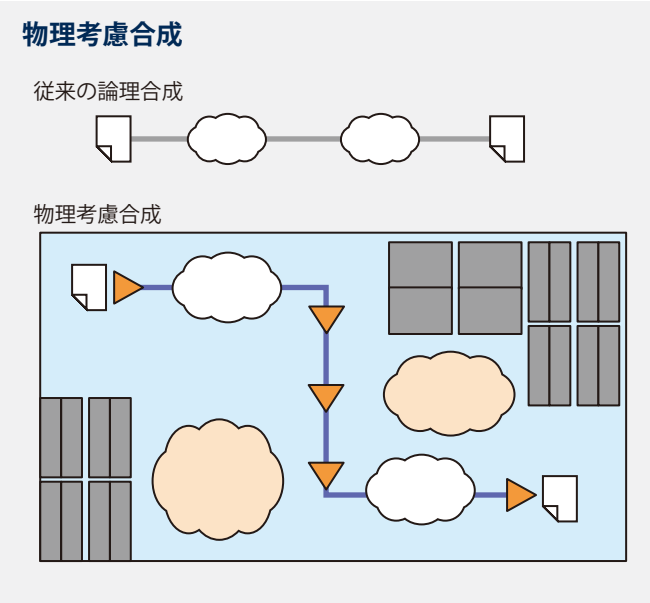


バックエンドデザイン

高精度な解析技術と高性能な合成・配置/配線/高速化技術・低ノイズ設計技術により、お客様のデザインをレイアウトします。

●物理考慮合成

微細化が進むにつれて生じる、回路規模や配線負荷の増加に伴い、論理合成時の見積りとレイアウトとの差分が大きくなってきています。当社では、論理合成時からレイアウト情報を考慮することで、レイアウトとの差分を小さくしています。これにより、タイミング収束性を早期に確認でき、開発期間を短縮しています。

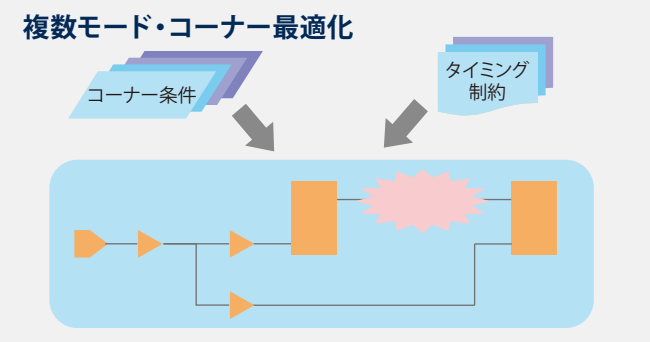


●UPFおよびCPFサポート

当社はUPFおよびCPFをサポートしており、機能検証された電源仕様に基づいて、物理設計および物理検証を行います。これにより、複雑な低消費電力化技術に対しても、高い設計品質を実現しています。

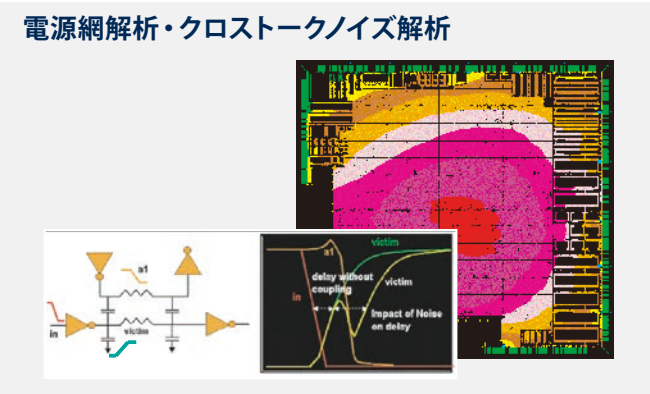
●複数モード・コーナーを考慮した最適化

微細化が進むにつれて、考慮すべきプロセス・電圧・温度条件（コーナー条件）が増加しています。また、LSIの多機能化や信頼性確保のために、動作モードも増加しています。当社の物理設計では、複数のコーナー条件と動作モードを考慮した配置/配線/最適化を行います。これにより、異なるコーナーやモード間の競合によるタイミング最適化の繰返しを削減して、開発期間を短縮しています。



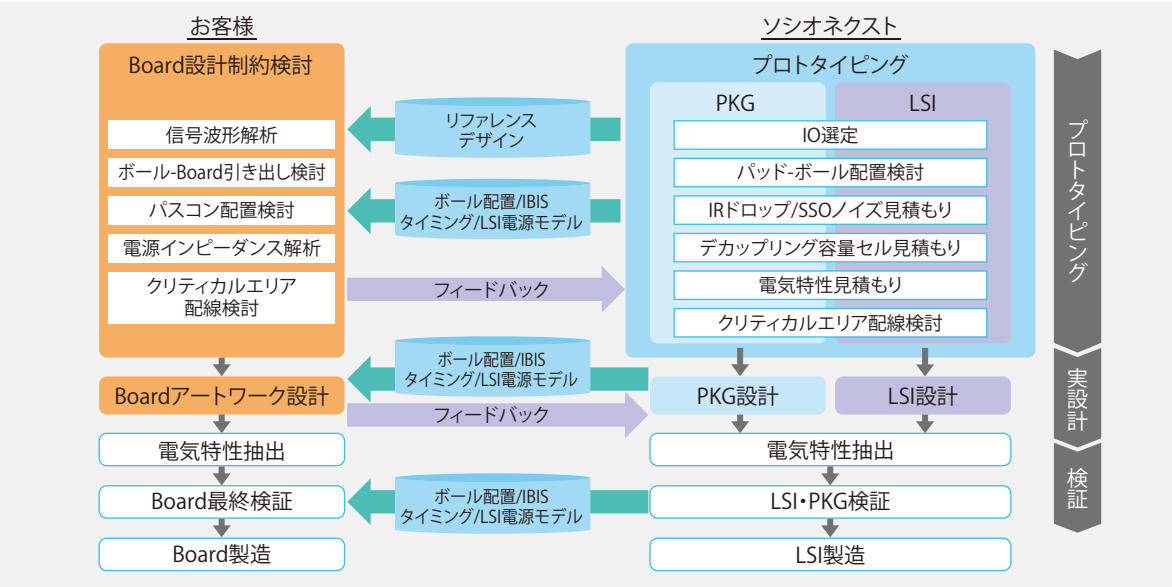
●電源網解析・クロストークノイズ解析

微細化と低電圧化が進むにつれて、LSI内のIRドロップ（電圧降下）やクロストークノイズによる遅延変動が大きくなっています。
当社では、高精度なIRドロップやクロストークノイズ解析によって、システム動作に影響しないことを検証しています。



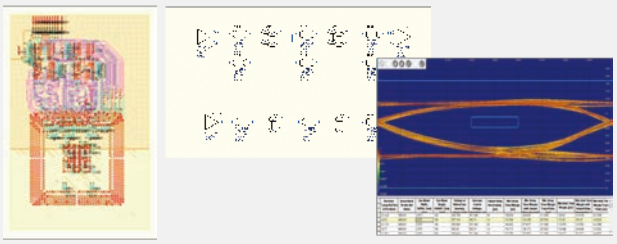
ノイズを考慮したLPB(LSI-Package-Board) 協調設計

ソシオネクストでは、LPB協調設計フローに基づいたLSI開発を行い、一発完動を実現しています。リファレンスデザインにより設計の見通しを良くするとともに、設計の各段階においてLPB一体解析による全体最適化を可能にすべく、DDR4、LPDDR4などのMemory IFやUSB3.1、PCIe-Gen3などのSerDes IFの伝送路解析に必要なLSIモデル（IBIS、タイミングモデル、LSI電源モデル）を整備しています。これにより、従来は実設計の工程で初めて発見できた問題にプロトタイピング工程で対処することが可能になります。

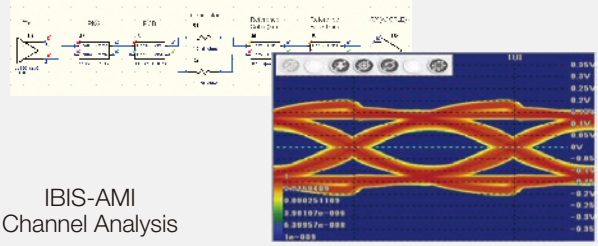


設計初期から、お客様にて波形品質やタイミングを考慮した伝送路解析を実施いただけるよう、IBISやタイミングモデル（リファレンスデザイン）を提供することが可能です。

お客様側でのDDR4/LPDDR4 波形/タイミング解析

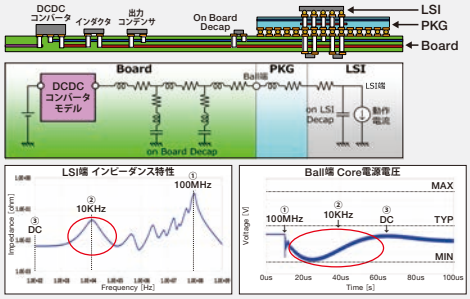


お客様側でのUSB3.1/PCIe-Gen3 波形解析

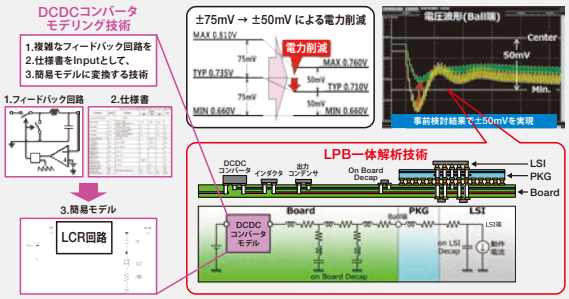


ソシオネクスト独自のDCDCコンバータモデリング技術およびLPB一体解析技術により、実機現象をノイズ解析で可視化することが可能です。 さらに、CORE電源変動抑制技術を組み合わせることで、お客様Boardの低電力化を実現します。

独自のDCDCコンバータモデリング、LPB一体解析技術



CORE電源変動抑制技術

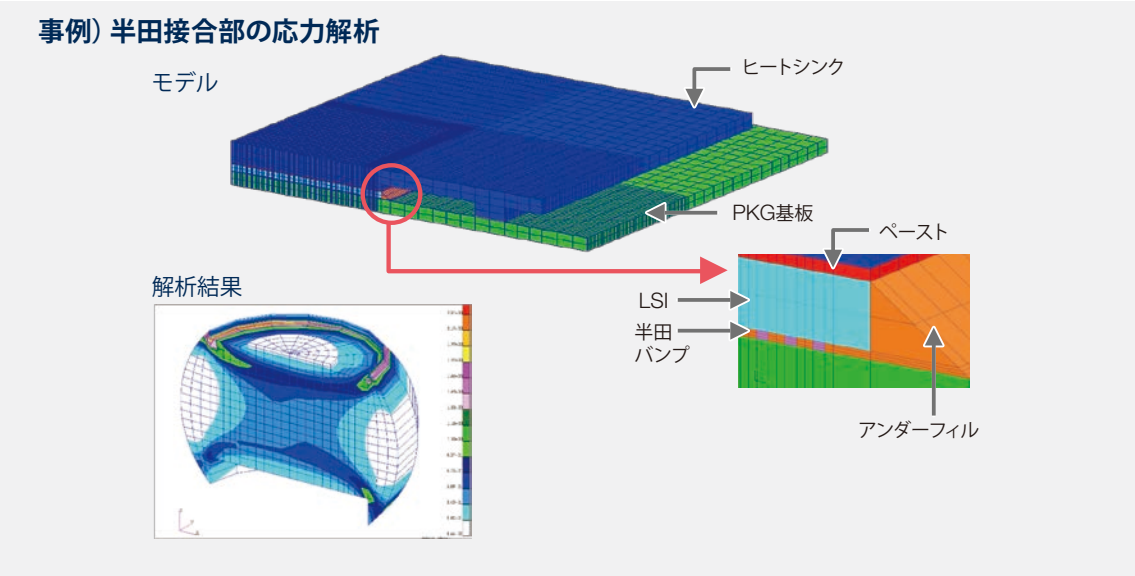


シミュレーション

先進シミュレーション技術を活用し、最適なパッケージソリューションを提供します。

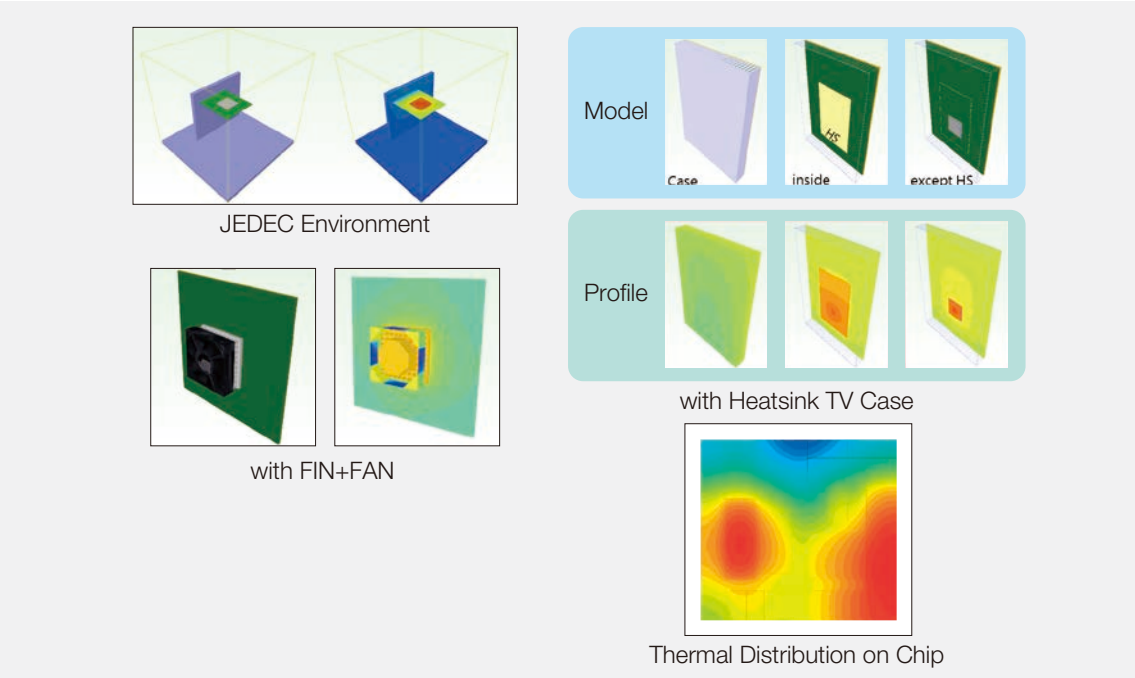
●機構シミュレーション

パッケージ設計に機構シミュレーションを取り入れることによって、高信頼性のパッケージ提案を可能としています。



●熱設計シミュレーション

熱抵抗の実測と熱流体シミュレーションの組み合わせにより、製品の使用環境を再現した高精度な熱抵抗解析を実現します。



●熱抵抗測定

JEDEC規格 JESD51-14に準拠した過渡熱抵抗の実測が可能です。

製造テクノロジー・パッケージ

先端プロセス

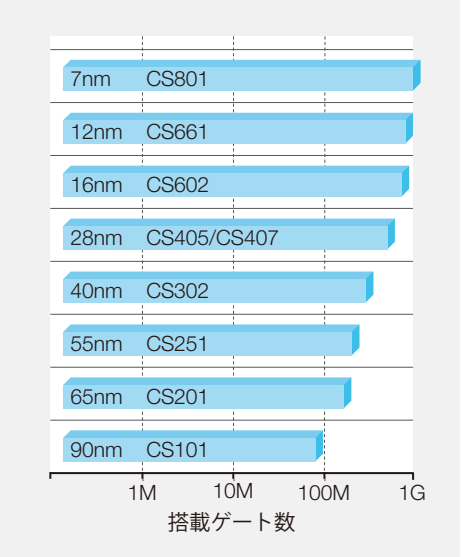
テクノロジーとデバイス製品一覧

デバイス製品として90nm から7nm まで幅広いテクノロジーに対応したスタンダードセルタイプをご用意しています。
複数のファウンドリ・パートナーと協業しており、ファウンドリ・パートナーの持つ製造能力と、ソシオネクストの品質管理体制および設計技術力の相乗効果によって、先端カスタム SoC についても業界をリードし続けます。

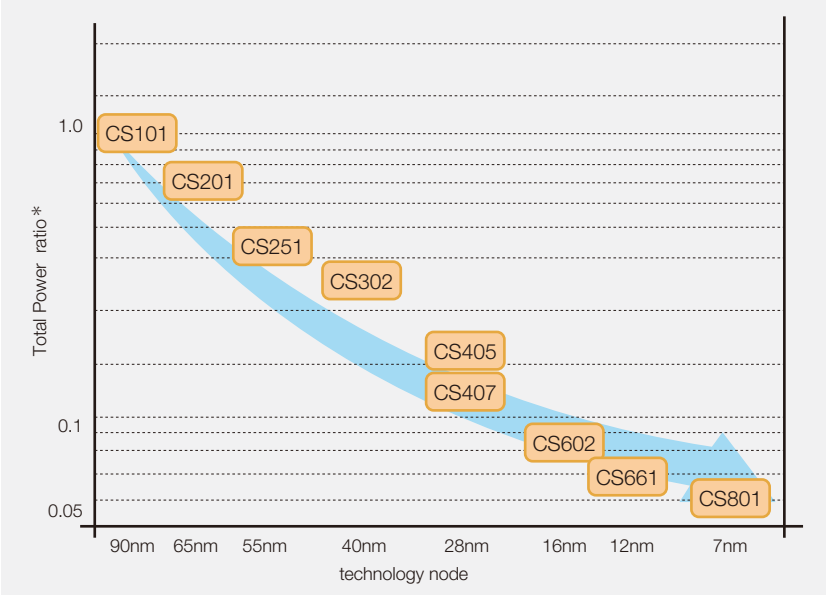
●スタンダードセル

テクノロジー	デバイス製品名	電源電圧（標準）
7 nm FinFET CMOS	CS801シリーズ	+0.65V±0.065V / +0.75V±0.075V
12 nm FinFET CMOS	CS661シリーズ	+0.7V±0.07V / +0.8V±0.08V
16 nm FinFET CMOS	CS602シリーズ	+0.7V±0.07V / +0.8V±0.08V
28 nm Metal ゲート CMOS	CS407シリーズ	+0.8V±0.08V / +0.9V±0.09V
28 nm Metal ゲート CMOS	CS405シリーズ	+0.9V±0.09V
40 nm Si ゲート CMOS	CS302シリーズ	+1.1V±0.1V
55 nm Si ゲート CMOS	CS251シリーズ	+1.2V±0.1V
65 nm Si ゲート CMOS	CS201シリーズ	+0.9 ～+1.3V（ワイドレンジをサポート）
90 nm Si ゲート CMOS	CS101シリーズ	+0.9 ～+1.3V（ワイドレンジをサポート）

●ゲート規模比較



●消費電力比較



＊：縦軸はCS101のTotal Power（Dynamic成分とLeakage成分の和）を基準とした各テクノロジーでの相対比です。

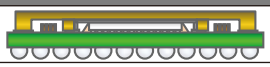
先端パッケージ

パッケージ体系

高性能なハイエンド向けから、高いコストパフォーマンスを実現した民生向けと幅広いパッケージを提供しています。

ハイエンド向け

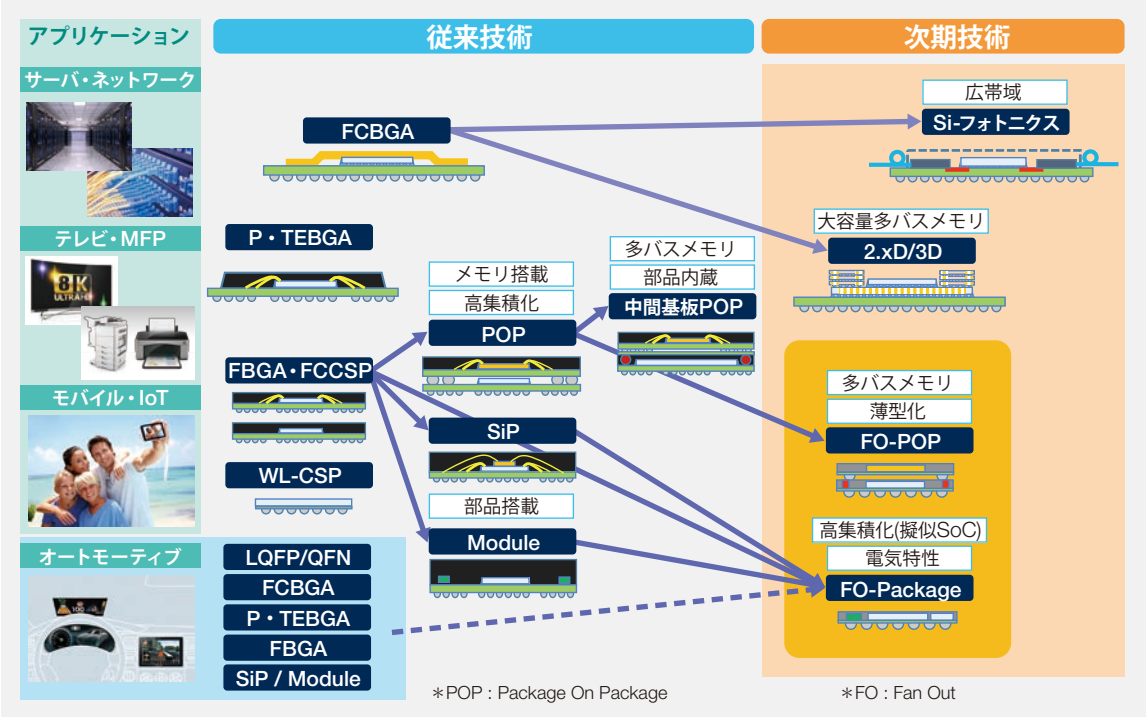
民生向け

パッケージタイプ	パッケージ構造	熱抵抗Θja※(℃/W)	用途例
FC-CBGA		7～	サーバ、 高速大容量ネットワーク など
FC-PBGA (Low loss tanδBU)		7～	
FC-PBGA (Conventional)		9～	FA、オフィス機器 メディカル、ヘルスケア 衛星放送、デジタルTV セットトップボックス デジタルサイネージ など
TEBGA		13～	
PBGA		15～	
FBGA		17～60	モバイルデバイス デジタルスチルカメラ カムコーダ アクションカメラ ドローン セキュリティデバイス ウェアラブルデバイス など
FCCSP			
QFN		20～40	
WL-CSP		25～60	
LQFP TEQFP		15～100	

※：参考値。チップサイズ/パッケージ仕様などにより熱抵抗値は変わりますので、個別にお問い合わせください。

パッケージロードマップ

国内外のOSAT（Outsource Assembly and Test：後工程の組立て委託先）との強いパートナーシップにより、技術・コスト・品質・信頼性のバランスに優れたパッケージを提供します。



・ DesignExpress、Cedar、PLACATE、CoolAdjust は株式会社ソシオネクストの登録商標です。
・ Arm is the registered trademark of Arm Limited in the EU and other countries.
・ AMBA, Arm1176JZF-S, Arm7TDMI-S, Arm926EJ-S, Arm946E-S, ETM11, Cortex are the trademarks of Arm Limited in the EU and other countries.
・ HDMI、HDMIロゴおよびHigh-Definition Multimedia InterfaceはHDMI Licensing LLC の商標または登録商標です。
その他の社名および製品名は各社の商標または登録商標です。

株式会社ソシオネクスト
〒222-0033
神奈川県横浜市港北区新横浜2-10-23（野村不動産新横浜ビル）
http://socionext.com/jp/

ソシオネクスト製品に関するお問い合わせ先
Tel：045-568-1015
受付時間：平日9時から17時（土・日・祝日、年末年始を除く）

本資料の記載内容は，予告なしに変更することがありますので，製品のご購入やご使用などのご用命の際は，当社営業窓口にご確認ください。
本資料に記載された動作概要や応用回路例などの情報は，半導体デバイスの標準的な動作や使い方を示したもので，実際に使用する機器での動作を保証するものではありません。したがって，お客様の機器の設計においてこれらを使用する場合は，お客様の責任において行ってください。これらの使用に起因する損害などについては，当社はその責任を負いません。
本資料は，本資料に記載された製品および動作概要・回路図を含む技術情報について，当社もしくは第三者の特許権，著作権などの知的財産権やその他の権利の使用権または実施権を許諾するものではありません。また，これらの使用について，第三者の知的財産権やその他の権利の実施ができることの保証を行うものではありません。したがって，これらの使用に起因する第三者の知的財産権やその他の権利の侵害などについて，当社はその責任を負いません。
本資料に記載された製品は，通常の産業用，一般事務用，パーソナル用，家庭用などの一般的用途に使用されることを意図して設計・製造されています。極めて高度な安全性が要求され，仮に当該安全性が確保されない場合，直接生命・身体に対する重大な危険性を伴う用途（原子力施設における核反応制御，航空機自動飛行制御，航空交通管制，大量輸送システムにおける運行制御，生命維持のための医療機器，兵器システムにおけるミサイル発射制御など），または極めて高い信頼性が要求される用途（海底中継器，宇宙衛星など）に使用されるよう設計・製造されたものではありません。したがって，これらの用途へのご使用をお考えのお客様は，必ず事前に当社営業窓口までご相談ください。ご相談なく使用されたことにより発生した損害などについては，当社は責任を負いません。
半導体デバイスには，ある確率で故障や誤動作が発生します。本資料に記載の製品を含め当社半導体デバイスをご使用いただく場合は，当社半導体デバイスに故障や誤動作が発生した場合も，結果的に人身事故，火災事故，社会的な損害などを生じさせないよう，お客様の責任において，装置の冗長設計，延焼対策設計，過電流防止対策設計，誤動作防止設計などの安全設計をお願いします。
本資料に記載された製品および技術情報を輸出または非居住者に提供する場合は，外国為替および外国貿易法および米国輸出管理関連法規などの規制をご確認の上，必要な手続きをおとりください。
本資料に記載されている社名および製品名などの固有名詞は，各社の商標または登録商標です。

Copyright 2019 Socionext Inc.
PG06-00119-1 November 2019
編集　セールス・ビジネスデベロップメントグループ　ビジネス開発統括部